

日本国特許庁
JAPAN PATENT OFFICE

IWATA et al
BSKBLP
703-203-8000
February 11, 2004
0397-0475P
10F1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月12日

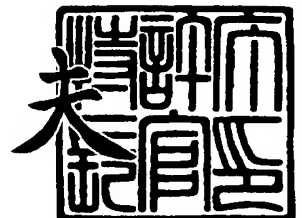
出願番号
Application Number: 特願2003-034307
[ST. 10/C]: [JP2003-034307]

出願人
Applicant(s): シャープ株式会社

2004年 1月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 03J00374

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20
H01L 31/02

【発明の名称】 半導体記憶装置、表示装置及び携帯電子機器

【請求項の数】 14

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 矢追 善史

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩瀬 泰章

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 那脇 勝

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 森川 佳直

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 田中 研一

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、表示装置及び携帯電子機器

【特許請求の範囲】

【請求項 1】 半導体層上にゲート絶縁膜を介して形成されたゲート電極と

、
該ゲート電極下に配置されたチャネル領域と、

該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、

該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子と、増幅器とを備え、

前記メモリ素子の出力が増幅器に入力されるようにメモリ素子と増幅器とが接続されてなることを特徴とする半導体記憶装置。

【請求項 2】 半導体層上にゲート絶縁膜を介して形成されたゲート電極と

、
該ゲート電極下に配置されたチャネル領域と、

該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、

該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子と、増幅器とを備え、

前記メモリ素子が対をなし、該メモリ素子対の一方及び他方の出力が、同一の増幅器に入力されることを特徴とする半導体記憶装置。

【請求項 3】 メモリ素子対のゲート電極が、一体となってワード線として機能し、かつメモリ素子対のメモリ機能体が、ゲート電極の両側においてそれぞれ一体となって共有されてなる請求項 2 に記載の半導体記憶装置。

【請求項 4】 メモリ素子が、メモリ機能体に蓄積された電荷量が異なる第 1 記憶状態と第 2 記憶状態とに書換え可能であり、

読出し時において、メモリ素子対の一方が第 1 記憶状態にあるとき、他方を第 2 記憶状態として動作させる請求項 2 に記載の半導体記憶装置。

【請求項 5】 メモリ素子が、ゲート電極の両側に形成された 2 つのメモリ

機能体の夫々について、メモリ機能体に蓄積された電荷量が異なる第1記憶状態と第2記憶状態とに書換え可能であり、

読出し時において、同一のメモリ素子に属する2つのメモリ機能体の記憶状態が同一であり、且つ前記メモリ素子対の一方と他方との夫々に属するメモリ機能体の記憶情報が互いに異なる請求項2～4のいずれか1つに記載の半導体記憶装置。

【請求項6】 複数のメモリ素子対が同一の増幅器に接続され、前記メモリ素子対は夫々異なるワード線に接続されており、

1つのワード線の選択により、所定のメモリ素子対の出力が増幅器に入力されてなる請求項2～5のいずれか1つに記載の半導体記憶装置。

【請求項7】 メモリ素子が、1以上のトランジスタと直列に接続されてなる請求項1～5のいずれか1つに記載の半導体記憶装置。

【請求項8】 メモリ機能体が、少なくとも一部を拡散領域の一部にオーバーラップするように形成されてなる請求項1～7のいずれか1つに記載の半導体記憶装置。

【請求項9】 メモリ機能体が、電荷を保持する機能を有する膜を備え、該電荷を保持する機能を有する膜の表面が、ゲート絶縁膜の表面と略平行に配置されてなる請求項1～8のいずれか1つに記載の半導体記憶装置。

【請求項10】 さらに、電荷を保持する機能を有する膜が、ゲート電極側面と略平行に配置してなる請求項9に記載の半導体記憶装置。

【請求項11】 さらに、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、

該絶縁膜が、ゲート絶縁膜よりも薄く、かつ0.8nm以上の膜厚を有する請求項9又は10に記載の半導体記憶装置。

【請求項12】 さらに、メモリ機能体が、電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、

該絶縁膜が、ゲート絶縁膜よりも厚く、かつ20nm以下の膜厚を有する請求項9又は10に記載の半導体記憶装置。

【請求項13】 請求項1～12のいずれか1つに記載の半導体記憶装置を

備えたことを特徴とする表示装置。

【請求項 14】 請求項 1～12 のいずれか 1 つに記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、表示装置及び携帯電子機器に関する。より具体的には、電荷もしくは分極を保持する機能を有するメモリ機能体を備えた電界効果トランジスタを配列してなる半導体記憶装置並びにそのような半導体記憶装置を備えた表示装置及び携帯電子機器に関する。

【0002】

【従来の技術】

従来から不揮発性メモリとして、代表的にはフラッシュメモリが用いられている。

このフラッシュメモリは、図 28 に示したように、半導体基板 901 上にゲート絶縁膜を介してフローティングゲート 902、絶縁膜 907、ワード線（コントロールゲート）903 がこの順に形成されており、フローティングゲート 902 の両側には、拡散領域によるソース線 904 及びビット線 905 が形成されてメモリセルを構成する。メモリセルの周囲には、素子分離領域 906 が形成されている（例えば、特許文献 1）。

【0003】

メモリセルは、フローティングゲート 902 中の電荷量の多寡として記憶を保持する。メモリセルを配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書き換え、読み出し動作を行なうことができる。

このようなフラッシュメモリでは、フローティングゲート中の電荷量が変わったとき、図 29 に示すような、ドレイン電流（ I_d ）対ゲート電圧（ V_g ）特性を示す。フローティングゲート中の負電荷の量が増加すると、閾値が増加し、 $I_d - V_g$ 曲線は V_g の増加する方向にほぼ平行移動する。

【0004】**【発明が解決しようとする課題】**

しかし、このようなフラッシュメモリでは、フローティングゲート902とワード線903とを隔てる絶縁膜907を配置することが機能上必要であるとともに、フローティングゲート902からの電荷漏れを防ぐために、ゲート絶縁膜の厚さを薄くすることが困難であった。そのため、実効的な絶縁膜907及びゲート絶縁膜の薄膜化は困難であり、メモリセルの微細化を阻害していた。

本発明は前記課題に鑑みなされたものであり、微細化が容易な半導体記憶装置及び携帯電子機器を提供することを目的とする。

【0005】

【特許文献1】 特開平5-30427

【0006】**【課題を解決するための手段】**

本発明によれば、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子と、増幅器とを備え、前記メモリ素子の出力が増幅器に入力されるようにメモリ素子と増幅器とが接続されてなる半導体記憶装置が提供される。

【0007】

このような構成によれば、メモリ素子の出力が増幅器に入力されるから、メモリ素子に記憶された情報を読み出すことが可能である。また、メモリ素子では、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とが分離されている。そのため、十分なメモリ機能を有したまま、ゲート絶縁膜を薄膜化して短チャネル効果を抑制するのが容易である。さらに、EEPROMに比べて、書換えにより拡散領域間を流れる電流値が大きく変化する。したがって、半導体記憶装置の書込み状態と消去状態との判別が容易となる。

【0008】

また、このメモリ素子は、その構成に基づいて、通常のトランジスタ形成プロ

セスと非常に親和性が高いプロセスによって形成することができる。それゆえ、従来のフラッシュメモリを不揮発性メモリ素子として用いて、通常トランジスタからなる増幅器と混載する場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、このメモリ素子と増幅器とを混載したチップの歩留まりを向上させることができ、これに起因して、製造コストが削減され、ひいては信頼性が高く、安価な半導体記憶装置が得られる。

【0009】

また、別の観点から、本発明によれば、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、該ゲート電極下に配置されたチャネル領域と、該チャネル領域の両側に配置され、該チャネル領域と逆導電型を有する拡散領域と、該ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子と、増幅器とを備え、前記メモリ素子が対をなし、該メモリ素子対の一方及び他方の出力が、同一の増幅器に入力される半導体記憶装置が提供される。

【0010】

このような構成によれば、上述した半導体記憶装置と同様の効果を得ることができる。さらに、メモリ素子対の一方及び他方の出力が、同一の増幅器に入力されることから、同様のデバイス構造を有する2つのメモリ素子を通る電流の差を検知することができる。したがって、読出し動作の信頼性が向上する。

さらに、本発明によれば、上記に記載の半導体記憶装置を備えた表示装置又は携帯電子機器が提供される。

【0011】

このような構成によれば、例えば、本発明の半導体記憶装置を表示パネルの製造後に、表示ばらつきを補正するための情報記憶に用いた場合には、表示装置の製品間において均一な画質を得ることができる。しかも、メモリ素子と論理回路の混載プロセスが簡易なので、製造コストを抑制することができるとともに、高速読出し動作により、動作速度を向上させることができ、安価で、かつ高性能の表示装置又は携帯電子機器を得ることができる。

【0012】

【発明の実施の形態】

本発明の半導体記憶装置は、主として、メモリ素子と増幅器とから構成される。

メモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域と意味する。

【0013】

具体的には、本発明のメモリ素子は、拡散領域である1つの第1導電型の領域と、チャネル領域である第2導電型の領域と、第1及び第2導電型の領域の境界を跨って配置された1つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された2つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される2つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

【0014】

本発明の半導体装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第1導電型のウェル領域の上に形成されることが好ましい。

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

【0015】

この半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電性を有していてもよく、半導体層には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

【0016】

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20nm程度、好ましく1～6nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

【0017】

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で

形成することが適当である。なお、ゲート電極の下にはチャネル領域が形成されている。

【0018】

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

【0019】

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシサイド、ジルコニウムオキシサイド、タンタルオキシサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

【0020】

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複

数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

【0021】

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

【0022】

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

【0023】

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化することができ、好ましい。

【0024】

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外か

ら電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができ、好ましい。

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

【0025】

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

【0026】

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

【0027】

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲ

ート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

【0028】

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

【0029】

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は

積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターニングする方法等が挙げられる。

【0030】

本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、(1)複数のメモリ素子のゲート電極が一体となってワード線の機能を有する、(2)上記ワード線の両側にはメモリ機能体が形成されている、(3)メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、(4)メモリ機能体はON₂O (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、(5)メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、(6)メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、(7)ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、(8)1個のメモリ素子の書込み及び消去動作は単一のワード線により行なう、(9)メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード線）がない、(10)メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

上述した要件の特に好ましい組み合わせは、例えば、(3)メモリ機能体内で電

荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6)メモリ機能体内の絶縁膜（シリコン窒化膜）と拡散領域とがオーバーラップしており、(9)メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード線）がない場合である。

【0031】

要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能体が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくとつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

【0032】

また、メモリ機能体内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される1本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

【0033】

さらに、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電

極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

【0034】

また、要件(3)及び(9)を満たす場合であって、さらに要件(6)を満たす場合には、より有用である。

つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書込、消去が可能となる。具体的には、5V以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックLSIに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

【0035】

一方、要件(3)を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件(6)を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

また、要件(9)を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件(6)を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

【0036】

本発明の半導体記憶装置においては、メモリ素子は、その一方又は両方に、ト

ランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

【 0 0 3 7 】

本発明の半導体記憶装置は、メモリ素子が、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、2値の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

【 0 0 3 8 】

本発明の半導体記憶装置は、論理素子又は論理回路等と組み合わせることにより、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント／発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、PHS、モデム、ルータ等の通信機器；ディスプレイパネル、プロジェクタ等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娯楽機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのAV機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携

帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明の半導体記憶装置は、電子機器の制御回路又はデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

【0039】

以下に、本発明の半導体記憶装置、表示装置又は携帯電子機器の実施の形態を、図面に基づいて詳細に説明する。

【0040】

(実施の形態1)

この実施の形態の半導体記憶装置は、図1に示すような、メモリ素子1を備える。

メモリ素子1は、半導体基板上101表面に形成されたP型ウェル領域102上にゲート絶縁膜103を介してゲート電極104が形成されている。ゲート電極104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜109が配置されており、シリコン窒化膜109のなかでゲート電極104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能部105a、105bとなっている。ここで、メモリ機能部とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極104の両側であってP型ウェル領域102内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域107a、107bが形成されている。拡散領域107a、107bは、オフセット構造を有している。すなわち、拡散領域107a、107bはゲート電極下の領域121には達しておらず、電荷保持膜下のオフセット領域120がチャンネル領域の一部を構成している。

【0041】

なお、実質的に電荷を保持するメモリ機能部105a、105bは、ゲート電極104の両側壁部分である。したがって、この部分に対応する領域にのみに、シリコン窒化膜109が形成されていればよい(図2(a)参照)。また、メモリ機能部105a、105bは、ナノメートルサイズの導電体又は半導体からな

る微粒子 111 が絶縁膜 112 中に散点状に分布する構造を有していてもよい（図 2（b）参照）。このとき、微粒子 111 が 1 nm 未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10 nm を超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子 111 の直径は 1 nm ～ 10 nm の範囲にあることが好ましい。さらに、電荷保持膜となるシリコン窒化膜 109 は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図 3 参照）。

【0042】

メモリ素子の書込み動作原理を、図 3 及び図 4 を用いて説明する。なお、ここではメモリ機能体 131a、131b 全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、メモリ素子が N チャネル型である場合にはメモリ機能体 131a、131b に電子を注入することを指す。以後、メモリ素子は N チャネル型であるとして説明する。

【0043】

第 2 のメモリ機能体 131b に電子を注入する（書込む）ためには、図 3 に示すように、N 型の第 1 の拡散領域 107a をソース電極に、N 型の第 2 の拡散領域 107b をドレイン電極とする。例えば、第 1 の拡散領域 107a 及び P 型ウェル領域 102 に 0 V、第 2 の拡散領域 107b に +5 V、ゲート電極 104 に +5 V を印加する。このような電圧条件によれば、反転層 226 が、第 1 の拡散領域 107a（ソース電極）から伸びるが、第 2 の拡散領域 107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第 2 の拡散領域 107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第 2 のメモリ機能体 131b に注入されることにより書込みが行なわれる。なお、第 1 のメモリ機能体 131a 近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

【0044】

一方、第 1 のメモリ機能体 131a に電子を注入する（書込む）ためには、図 4 に示すように、第 2 の拡散領域 107b をソース電極に、第 1 の拡散領域 10

7aをドレイン電極とする。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+5V、ゲート電極104に+5Vを印加する。このように、第2のメモリ機能体131bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体131aに電子を注入して、書込みを行なうことができる。

次に、メモリ素子の消去動作原理を図5及び図6を用いて説明する。

【0045】

第1のメモリ機能体131aに記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域107aに正電圧（例えば、+5V）、P型ウェル領域102に0Vを印加して、第1の拡散領域107aとP型ウェル領域102とのPN接合に逆方向バイアスをかけ、さらにゲート電極104に負電圧（例えば、-5V）を印加する。このとき、PN接合のうちゲート電極104付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のP型ウェル領域102側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aにホール注入が行なわれる。このようにして、第1のメモリ機能体131aの消去が行なわれる。このとき第2の拡散領域107bには0Vを印加すればよい。

【0046】

第2のメモリ機能体131bに記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域との電位を入れ替えればよい。

第1のメモリ機能体131aに記憶された情報を消去する第2の方法では、図6に示すように、第1の拡散領域107aに正電圧（例えば、+4V）、第2の拡散領域107bに0V、ゲート電極104に負電圧（例えば、-4V）、P型ウェル領域102に正電圧（例えば、+0.8V）を印加する。この際、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧が印加され、P型ウェル領域102に電子が注入される。注入された電子は、P型ウェル領域102と第1の拡散領域107aとのPN接合まで拡散し、そこで強い電界により加

速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、P型ウェル領域102と第2の拡散領域107bとの間に順方向電圧を印加することにより、P型ウェル領域102に注入された電子がトリガーとなって、反対側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極104方向に引きこまれ、その結果、第1のメモリ機能体131aに正孔注入が行なわれる。

【0047】

この方法によれば、P型ウェル領域と第1の拡散領域107aとのPN接合において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域107bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域120（図1参照）が存在する場合は、負の電位が印加されたゲート電極によりPN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

【0048】

なお、第1のメモリ機能体131aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域107aに+5Vを印加しなければならなかったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによるメモリ素子の劣化を抑制することができる。

【0049】

また、いずれの消去方法によっても、メモリ素子は過消去が起きにくい。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROMでは大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明の半導体記

憶装置におけるメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

さらに、メモリ素子の読み出し動作原理を、図7を用いて説明する。

【0050】

第1のメモリ機能体131aに記憶された情報を読み出す場合、第1の拡散領域107aをソース電極に、第2の拡散領域107bをドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第1の拡散領域107a及びP型ウェル領域102に0V、第2の拡散領域107bに+1.8V、ゲート電極104に+2Vを印加する。この際、第1のメモリ機能体131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体131aに電子が蓄積している場合は、第1のメモリ機能体131a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体131aの記憶情報を読み出すことができる。このとき、第2のメモリ機能体131bにおける電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

【0051】

第2のメモリ機能体131bに記憶された情報を読み出す場合、第2の拡散領域107bをソース電極に、第1の拡散領域107aをドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散領域107b及びP型ウェル領域102に0V、第1の拡散領域107aに+1.8V、ゲート電極104に+2Vを印加すればよい。このように、第1のメモリ機能体131aに記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2のメモリ機能体131bに記憶された情報の読出しを行なうことができる。

【0052】

なお、ゲート電極104で覆われないチャネル領域（オフセット領域120）が残されている場合、ゲート電極104で覆われないチャネル領域においては、メモリ機能体131a、131bの余剰電荷の有無によって反転層が消失又は形

成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域120の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域120の幅を決定することが好ましい。

【0053】

拡散領域107a、107bがゲート電極104端に達している場合、つまり、拡散領域107a、107bとゲート電極104とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域107a、107bとゲート電極104とがオーバーラップしていない（オフセット領域120が存在する）ほうが好ましい。

【0054】

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、メモリ素子のゲート電極104にワード線WLを、第1の拡散領域107aに第1のビット線BL1を、第2の拡散領域107bに第2のビット線BL2をそれぞれ接続し、メモリ素子を配列することにより、メモリセルアレイを構成することができる。

【0055】

また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

【0056】

以上の説明から明らかなように、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形

成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。さらに、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル効果を抑制することができる。したがってメモリ素子、ひいては半導体記憶装置の微細化が容易となる。

【0057】

(実施の形態2)

この実施の形態の半導体記憶装置におけるメモリ素子は、図8に示すように、メモリ機能体261、262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のメモリ素子1と実質的に同様の構成である。

【0058】

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜242、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜241、243を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。さらに、シリコン窒化膜242がシリコン酸化膜241、243で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、このメモリ素子においては、シリコン窒化膜242を強誘電体で置き換えてもよい。

【0059】

また、メモリ機能体261、262における電荷を保持する領域（シリコン窒化膜242）は、拡散領域212、213とそれぞれオーバーラップしている。

ここで、オーバーラップするとは、拡散領域 212、213 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 242）の少なくとも一部が存在することを意味する。なお、211 は半導体基板、214 はゲート絶縁膜、217 はゲート電極、271 はゲート電極 217 と拡散領域 212、213 とのオフセット領域である。図示しないが、ゲート絶縁膜 214 下であって半導体基板 211 の最表面はチャネル領域となる。

メモリ機能体 261、262 における電荷を保持する領域であるシリコン窒化膜 242 と拡散領域 212、213 とがオーバーラップすることによる効果を説明する。

【0060】

図 9 に示したように、メモリ機能体 262 周辺部において、ゲート電極 217 と拡散領域 213 とのオフセット量を $W1$ とし、ゲート電極のチャネル長方向の切断面におけるメモリ機能体 262 の幅を $W2$ とすると、メモリ機能体 262 と拡散領域 213 とのオーバーラップ量は、 $W2 - W1$ で表される。ここで重要なことは、メモリ機能体 262 のうちシリコン窒化膜 242 で構成されたメモリ機能体 262 が、拡散領域 213 とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

【0061】

図 9 では、メモリ機能体 262 のうち、シリコン窒化膜 242 のゲート電極 217 と離れた側の端が、ゲート電極 217 から離れた側のメモリ機能体 262 の端と一致しているため、メモリ機能体 262 の幅を $W2$ として定義した。

なお、図 10 に示すように、メモリ機能体 262 a のうちシリコン窒化膜 242 a のゲート電極と離れた側の端が、ゲート電極から離れた側のメモリ機能体 262 a の端と一致していない場合は、 $W2$ をゲート電極端からシリコン窒化膜 242 a のゲート電極と遠い側の端までと定義すればよい。

【0062】

図 11 は、図 9 のメモリ素子の構造において、メモリ機能体 262 の幅 $W2$ を 100 nm に固定し、オフセット量 $W1$ を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流は、メモリ機能体 262 を消去状態（ホール

が蓄積されている)とし、拡散領域212、213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図11から明らかなように、W1が100nm以上(すなわち、シリコン窒化膜242と拡散領域213とがオーバーラップしない)では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜242と拡散領域213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、電荷を保持する機能を有する膜であるシリコン窒化膜242の少なくとも一部とソース/ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

【0063】

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散領域212、213とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10 \text{ nm}$ であることがより好ましい。

【0064】

メモリ機能体261(領域281)に記憶された情報の読み出しは、実施の形態1と同様に、拡散領域212をソース電極とし、拡散領域213をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体262の記憶状況の如

何にかかわらず、メモリ機能体 2 6 1 の記憶情報を感度よく検出することができ、2 ビット動作を可能にする大きな要因となる。

【0 0 6 5】

一方、2 つのメモリ機能体の片側のみに情報を記憶させる場合又は 2 つのメモリ機能体を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図 8 には図示していないが、半導体基板 2 1 1 の表面にウェル領域（N チャンネル素子の場合は P 型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャンネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャンネル効果）を制御するのが容易になる。

【0 0 6 6】

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図 1 2 に示したように、メモリ機能体 2 6 2 の電荷保持膜であるシリコン窒化膜 2 4 2 a が、ゲート絶縁膜 2 1 4 表面と略平行な面を有している。言い換えると、シリコン窒化膜 2 4 2 a は、ゲート絶縁膜 2 1 4 表面に対応する高さから、均一な高さに形成されることが好ましい。

【0 0 6 7】

メモリ機能体 2 6 2 中に、ゲート絶縁膜 2 1 4 表面と略平行なシリコン窒化膜 2 4 2 a があることにより、シリコン窒化膜 2 4 2 a に蓄積された電荷の多寡によりオフセット領域 2 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜 2 4 2 a をゲート絶縁膜 2 1 4 の表面と略平行とすることにより、オフセット量（W 1）がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜 2 4 2 a 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

【0068】

さらに、メモリ機能体 262 は、ゲート絶縁膜 214 の表面と略平行なシリコン窒化膜 242a とチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリコン酸化膜 244 のうちオフセット領域 271 上の部分）を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子を得ることができる。

【0069】

なお、シリコン窒化膜 242a の膜厚を制御すると共に、シリコン窒化膜 242a 下の絶縁膜（シリコン酸化膜 244 のうちオフセット領域 271 上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜 242a 下の絶縁膜の最小膜厚値から、シリコン窒化膜 242a 下の絶縁膜の最大膜厚値とシリコン窒化膜 242a の最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜 242a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

【0070】

（実施の形態 3）

この実施の形態の半導体記憶装置におけるメモリ機能体 262 は、電荷保持膜であるシリコン窒化膜 242 が、図 13 に示すように、略均一な膜厚で、ゲート絶縁膜 214 の表面と略平行に配置され（領域 281）、さらに、ゲート電極 217 側面と略平行に配置された（領域 282）形状を有している。

【0071】

ゲート電極 217 に正電圧が印加された場合には、メモリ機能体 262 中での電気力線 283 は矢印で示すように、シリコン窒化膜 242 を 2 回（領域 282 及び領域 281 部分）通過する。なお、ゲート電極 217 に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜 242 の比誘電率は約 6 であり、シリコン酸化膜 241、243 の比誘電率は約 4 である。したが

って、電荷保持膜の領域 281 のみが存在する場合よりも、電気力線 283 方向におけるメモリ機能体 262 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 217 に印加された電圧の多くの部分が、オフセット領域 271 における電界を強くするために使われることになる。

【0072】

書換え動作時に電荷がシリコン窒化膜 242 に注入されるのは、発生した電荷がオフセット領域 271 における電界により引き込まれるためである。したがって、矢印 282 で示される電荷保持膜を含むことにより、書換え動作時にメモリ機能体 262 に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜 243 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 214 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

【0073】

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 241 のうちオフセット領域 271 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

【0074】

また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 241 のうちゲート電極 217 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子の信頼性を向上させることができる。

さらに、実施の形態 2 と同様に、シリコン窒化膜 242 下の絶縁膜（シリコン

酸化膜 241 のうちオフセット領域 271 上の部分) の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜 (シリコン酸化膜 241 のうちゲート電極 217 に接した部分) の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜 242 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

【0075】

(実施の形態 4)

この実施の形態では、半導体記憶装置におけるメモリ素子のゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化について説明する。

図 14 に示したように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離 (チャネル長)、C は一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) から他方のメモリ機能体内の電荷を保持する機能を有する膜の端 (ゲート電極と離れている側) までの距離を示す。

【0076】

このようなメモリ素子では、 $B < C$ であることが好ましい。このような関係を満たすことにより、チャネル領域のうちゲート電極 217 下の部分と拡散領域 212、213 との間にはオフセット領域 271 が存在することとなる。これにより、メモリ機能体 261、262 (シリコン窒化膜 242) に蓄積された電荷により、オフセット領域 271 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

【0077】

また、ゲート電極 217 と拡散領域 212、213 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域 27

1が存在しなくてもよい。オフセット領域271が存在しない場合においても、拡散領域212、213の不純物濃度が十分に薄ければ、メモリ機能体261、262（シリコン窒化膜242）においてメモリ効果が発現し得る。

このようなことから、 $A < B < C$ であるのが最も好ましい。

【0078】

（実施の形態5）

この実施の形態における半導体記憶装置のメモリ素子は、図15に示すように、実施の形態2における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

このメモリ素子は、半導体基板286上に埋め込み酸化膜288が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散領域212、213が形成され、それ以外の領域はボディ領域287となっている。

このメモリ素子によっても、実施の形態2のメモリ素子と同様の作用効果を奏する。さらに、拡散領域212、213とボディ領域287との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

【0079】

（実施の形態6）

この実施の形態の半導体記憶装置におけるメモリ素子は、図16に示すように、N型の拡散領域212、213のチャネル側に隣接して、P型高濃度領域291を追加した以外は、実施の形態2のメモリ素子と実質的に同様の構成を有する。

すなわち、P型高濃度領域291におけるP型を与える不純物（例えばボロン）濃度が、領域292におけるP型を与える不純物濃度より高い。P型高濃度領域291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

【0080】

このように、P型高濃度領域291を設けることにより、拡散領域212、213と半導体基板211との接合が、メモリ機能体261、262の直下で急峻

となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域 292 の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速なメモリ素子を得ることができる。

【0081】

また、図 16 において、ソース／ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P 型高濃度領域 291 を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P 型高濃度領域 291 がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタが N チャンネル型の場合は電子）が蓄積した場合は、この差がもっと大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタが N チャンネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャンネル領域（領域 292）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P 型高濃度領域 291 の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P 型高濃度領域 291 をメモリ機能体の下であってソース／ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込み時と消去時での閾値の差）を著しく増大させることができる。

【0082】

（実施の形態 7）

この実施の形態の半導体記憶装置におけるメモリ素子は、図 17 に示すように、電荷保持膜（シリコン窒化膜 242）とチャンネル領域又はウェル領域とを隔てる絶縁膜の厚さ（T1）が、ゲート絶縁膜の厚さ（T2）よりも薄いこと以外は、実施の形態 2 と実質的に同様の構成を有する。

ゲート絶縁膜 214 は、メモリの書換え動作時における耐圧の要請から、その厚さ T2 には下限値が存在する。しかし、絶縁膜の厚さ T1 は、耐圧の要請にか

かわらず、T2よりも薄くすることが可能である。

【0083】

このメモリ素子において、上述のようにT1に対する設計の自由度が高いのは以下の理由による。

つまり、このメモリ素子においては、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、ゲート電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜に対する耐圧の要請にかかわらず、T1をT2より薄くすることが可能になる。

T1を薄くすることにより、メモリ機能体への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜242に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増えるため、メモリ効果を増大させることができる。

【0084】

ところで、メモリ機能体中での電気力線は、図23の矢印284で示すように、シリコン窒化膜242を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時においては大きな役割を果たしている。T1を薄くすることによりシリコン窒化膜242が図の下側に移動し、矢印283で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、電気力線284に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極217に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

【0085】

これに対して、例えば、フラッシュメモリに代表されるEEPROMにおいて

は、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、EEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害される。

【0086】

以上より明らかなように、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる 0.8 nm 以上であることがより好ましい。

【0087】

具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバLSIのような場合、液晶パネルTF-Tを駆動するために、最大 $15 \sim 18\text{ V}$ の電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅） 250 nm のメモリセルに対して、 $T_1 = 20\text{ nm}$ 、 $T_2 = 10\text{ nm}$ で個別に設定でき、書込み効率の良いメモリセルを実現できる。（ T_1 が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。

【0088】

（実施の形態8）

この実施の形態の半導体記憶装置におけるメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は

、実施の形態 2 と実質的に同様の構成を有する。

【0089】

ゲート絶縁膜 214 は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが可能である。すなわち、微細化スケールリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜 242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケールリングの障害にならないという効果を奏する。

【0090】

このメモリ素子において、上述のように T_1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、 T_1 を T_2 より厚くすることが可能になる。

T_1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

【0091】

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

なお、絶縁膜の厚さ T_1 は、書換え速度の低下を考慮して、20 nm 以下であることが好ましい。

【0092】

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、上記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは 7 nm 程度以下には薄膜化できない）

の要求が相反するため、微細化が困難となる。実際、I T R S (International Technology Roadmap for Semiconductors) によれば、物理ゲート長の微細化は 0. 2 ミクロン程度以下に対して目処が立っていない。このメモリ素子では、上述したように T 1 と T 2 を個別に設計できることにより、微細化が可能となる。

【0 0 9 3】

例えば、ゲート電極長（ワード線幅）4 5 n m のメモリセルに対して、T 2 = 4 n m、T 1 = 7 n m で個別に設定し、短チャネル効果の発生しないメモリ素子を実現することができる。T 2 を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているためである。

また、このメモリ素子は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較してもさらに微細化を容易にする。

【0 0 9 4】

つまり、メモリ機能体の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリ素子を実現することができる。

【0 0 9 5】

（実施の形態 9）

この実施の形態は、半導体記憶装置のメモリ素子の書換えを行ったときの電気特性の変化に関する。

N チャネル型メモリ素子において、メモリ機能体中の電荷量が変化したとき、図 1 9 に示すような、ドレイン電流（I d）対ゲート電圧（V g）特性（実測値）を示す。

【0 0 9 6】

図 1 9 から明らかなように、消去状態（実線）から書込み動作を行った場合、

単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 (V_g) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5\text{ V}$ においても、電流比は 2 桁以上を保っている。この特性は、フラッシュメモリの場合 (図 29) と大きく異なる。

【0097】

このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。メモリ素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。

【0098】

一方、メモリ素子が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。さらに、ゲート電極に 0 V が印加されているとき (すなわちオフ状態にあるとき) は、ゲート電極下のチャネルには電子が誘起されない (そのためオフ電流が小さい)。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率 (コンダクタンス) が大きい原因となっている。

以上のことから明らかなように、本発明の半導体記憶素子を構成するメモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

【0099】

(実施の形態 10)

この実施の形態は、実施の形態 1～8 に記載のメモリ素子を複数配列し、書換え及び読出しの回路を付加した半導体記憶装置及びその動作方法に関する。

この半導体記憶装置は、図 20 の回路図に示したように、メモリ素子配列領域 321、各メモリ素子に所定の書換え電圧又は読出し電圧を与えるための回路部分、センスアンプ及びセンスアンプとメモリ素子とを接続する回路部分とを含む。なお、その他の周辺回路は省略している。

【0 1 0 0】

メモリ素子を配列した部分 3 2 1 におけるメモリ素子 3 0 1 a A ~ 3 0 1 a D、・・・、3 0 1 n A ~ 3 0 1 n D は、実施の形態 1 ~ 8 に記載したメモリ素子である。このメモリ素子はメモリ機能体を 2 つ有するが、それらを区別するために、図 2 0 中では、メモリ素子 3 0 1 a A のみに矢印 A 及び矢印 B を付し、その他のメモリ素子については省略している。

各メモリ素子は、その両側に 1 個ずつ計 2 個の選択トランジスタが接続されている。例えば、メモリ素子 3 0 1 a A には、選択トランジスタ 3 0 2 a A 及び 3 0 3 a A が直列に接続されている。

【0 1 0 1】

メモリ素子 3 0 1 a A ~ 3 0 1 a D のゲート電極はワード線 3 0 8 a により接続されている。他のメモリ素子のゲート電極も同様にワード線で接続されている。また、選択トランジスタ 3 0 2 a A ~ 3 0 2 a D は選択トランジスタワード線 3 0 9 a で接続されており、選択トランジスタ 3 0 3 a A ~ 3 0 3 a D は選択トランジスタワード線 3 1 0 a で接続されている。他の選択トランジスタのゲート電極も同様に選択トランジスタワード線で接続されている。

選択トランジスタ 3 0 2 a A ~ 3 0 2 n A は、夫々第 1 のビット線 3 1 6 A 1 に接続されており、選択トランジスタ 3 0 3 a A ~ 3 0 3 n A は、夫々第 2 のビット線 3 1 6 A 2 に接続されている。他の選択トランジスタも同様に第 1 又は第 2 のビット線に接続されている。

【0 1 0 2】

各ビット線には、夫々 1 対の動作選択トランジスタ 3 0 4、3 0 5 が接続されている。動作選択トランジスタ 3 0 4、3 0 5 は夫々第 1 の電圧入力端子 3 1 7 A 1 ~ 3 1 7 D 1 又は第 2 の電圧入力端子 3 1 7 A 2 ~ 3 1 7 D 2 に接続されている。動作選択トランジスタ 3 0 4、3 0 5 のゲート電極は、夫々動作選択線 3 1 2 及び 3 1 3 に接続されている。このような配線により、動作選択線 3 1 2 を選択した場合は、例えば、第 1 のビット線 3 1 6 A 1 は第 1 の電圧入力端子 3 1 7 A 1 と接続され、第 2 のビット線 3 1 6 A 2 は第 2 の電圧入力端子 3 1 7 A 2 と接続される。動作選択線 3 1 3 を選択した場合は、例えば、第 1 のビット線 3

16A1は第2の電圧入力端子317A2と接続され、第2のビット線316A2は第1の電圧入力端子317A1と接続される。すなわち、一对のビット線316A1、316A2は夫々異なる電圧入力端子に接続され、動作選択線の選択を変えることにより、接続される電圧入力端子を入れ替えることができる。

【0103】

2対のビット線対（例えば、ビット線対316A1、316A2及び316B1、316B2）は、切換えトランジスタを介して夫々2つの入力を有するセンスアンプの一方の入力と他方の入力とに接続されている。より具体的には、以下のように接続されている。

【0104】

第1のビット線316A1～316D1は、夫々第1の切替えトランジスタ306に接続されている。第2のビット線316A2～316D2は、夫々第2の切替えトランジスタ307に接続されている。切替えトランジスタ306、307のゲート電極は、夫々切替えトランジスタ選択線314及び315に接続されている。このような配線により、切替えトランジスタ選択線314を選択した場合は、例えば、センスアンプ318ABの一方の入力と第1のビット線316A1が接続され、センスアンプ318ABの他方の入力と第1のビット線316B1が接続される。切替えトランジスタ選択線315を選択した場合は、例えば、センスアンプ318ABの一方の入力と第2のビット線316A2が接続され、センスアンプ318ABの他方の入力と第1のビット線316B2が接続される。

なお、センスアンプとしては、メモリ素子からの出力電流を検知しうる増幅器であればよく、例えば、差動増幅器を用いることができる。

【0105】

図20では、4対のビット線を配列しているが、任意の対数のビット線を配列することができる。また、図20においては、2対のビット線対が1個のセンスアンプと接続されている。これは、後述するように、選択された2個のメモリ素子が対をなし、1個のセンスアンプの一方及び他方の入力と接続されるためである。

しかし、メモリ素子をこのような半導体記憶装置に応用するの他の例としては、1個のメモリ素子がセンスアンプの一方の入力に接続され、外部リファレンスセルがセンスアンプの他方の入力に接続されてもよい。

【0106】

この半導体記憶装置の動作方法を説明する。この半導体装置の動作は、書換え動作と読出し動作とがあり、さらに、書換え動作には書込み動作と読出し動作とがある。

まず、書込み動作の方法を示す。ここでは、書込み動作の一例として、メモリ素子 301aA に書込みを行なう場合を説明する。

動作選択線 312 を選択し、動作選択トランジスタ 304 をオン状態にする。それにより、例えば、第1のビット線 316A1 は第1の電圧入力端子 317A1 と接続され、第2のビット線 316A2 は第2の電圧入力端子 317A2 と接続される。他のビット線についても同様である。

【0107】

さらに、選択トランジスタワード線 309a、310a を選択する。これにより、メモリ素子 301aA の拡散領域（ソース／ドレイン）の一方（メモリ機能体Aの側）は第1の電圧入力端子 317A1 と接続され、他方（メモリ機能体Bの側）は第2の電圧入力端子 317A2 と接続される。ワード線 308a と接続されたメモリ素子 301aB～301aD についても同様である。

【0108】

ここで、ワード線 308a と第1及び第2の電圧入力端子 317A1、317A2 の夫々に書込みのための所定の電圧を印加する。まず、ワード線 308a に、例えば、+5V を印加する。さらに、第1の電圧入力端子 317A1 に+5V を、第2の電圧入力端子 317A2 に0V を夫々印加する。これにより、メモリ素子 301aA のメモリ機能体Aの側に選択的に書込みが行われる。

【0109】

なお、このとき他の電圧入力端子に所定の電圧を印加すれば、メモリ素子 301aB～301aD にも書込みを行なうことができる。また、書込みを行なわないメモリ素子に対しては、電圧入力端子に0Vを入力するかオープン状態にすれ

ばよい。

メモリ素子 301aA のメモリ機能体 B の側に書込みを行なう場合は、動作選択線 312 を選択するかわりに選択線 313 を選択し、その他の選択動作及び電圧印加条件は同様にすればよい。第 1 の電圧入力端子 317A1 に印加する電圧と、第 2 の電圧入力端子 317A2 に印加する電圧とを入れ替えてもよい。

【0110】

次に、消去動作の方法を示す。ここでは、消去動作の一例として、メモリ素子 301aA に消去を行なう場合を説明する。

書込み動作の場合と同様に、動作選択線 312 を選択し、動作選択トランジスタ 304 をオン状態にするとともに、選択トランジスタワード線 309a、310a を選択する。

【0111】

ここで、ワード線 308a と第 1 及び第 2 の電圧入力端子 317A1、317A2 の夫々に消去のための所定の電圧を印加する。まず、ワード線 308a に、例えば、-5V を印加する。さらに、第 1 の電圧入力端子 317A1 に +5V を、第 2 の電圧入力端子 317A2 に 0V を夫々印加する。これにより、メモリ素子 301aA のメモリ機能体 A の側に選択的に消去が行われる。

なお、このとき他の電圧入力端子に所定の電圧を印加すれば、メモリ素子 301aB～301aD にも消去を行なうことができる。また、消去を行なわないメモリ素子に対しては、電圧入力端子に 0V を入力するかオープン状態にすればよい。

【0112】

い。

メモリ素子 301aA のメモリ機能体 B の側に消去を行なう場合は、動作選択線 312 を選択するかわりに選択線 313 を選択し、その他の選択動作及び電圧印加条件は同様にすればよい。第 1 の電圧入力端子 317A1 に印加する電圧と、第 2 の電圧入力端子 317A2 に印加する電圧とを入れ替えてもよい。

次に、読出し動作の方法を示す。ここでは、読出し動作の一例として、メモリ素子 301aA に記憶された情報を読み出す場合を説明する。

【0113】

メモリ素子 301aA のメモリ機能体 A 側の記憶情報を読み出す場合は、動作選択線 313 を選択して動作選択トランジスタ 305 をオン状態にし、切換えトランジスタ選択線 314 を選択して第 1 の切替えトランジスタ 306 をオン状態にする。さらにワード線 308a に読出し動作に適当な電圧、例えば、+2V を印加する。続いて、第 1 の電圧入力端子 317A1 に、例えば、+1.8V を印加する。第 2 の電圧入力端子 317A2 はオープン状態とする。

【0114】

上述した選択動作及び電圧印加条件によれば、第 1 の電圧入力端子 317A1 からメモリ素子 301aA を介してセンスアンプ 318AB の一方の入力へと電流が流れる。この電流値を検出することにより、メモリ素子 301aA に記憶された情報を判別することができる。このとき、メモリ素子 301aA のメモリ機能体 A 側がソースとなるので、主としてメモリ機能体 A に蓄積された電荷の多寡がメモリ素子 301aA を流れる電流値に影響を与える。それゆえ、メモリ機能体 A 側の記憶情報のみを選択的に読出すことができる。

【0115】

実施の形態 9 で述べたように、本発明の半導体記憶装置において、メモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができるから、書込み状態と消去状態との判別が容易となる。

一方、メモリ素子 301aA のメモリ機能体 B 側の記憶情報を読み出す場合は、上記動作選択線 313 を選択するかわりに動作選択線 312 を選択し、切換えトランジスタ選択線 314 を選択するかわりに切換えトランジスタ選択線 315 を選択し、その他の選択動作及び電圧印加条件は同様にすればよい。

【0116】

上記読出し動作時に、第 1 の電圧入力端子 317B1 に読出しのための電圧、例えば、+1.8V をさらに印加しておけば、センスアンプ 318AB の他方の入力には、メモリ素子 301aB の記憶情報に応じた電流が入力される。それゆえ、本実施の形態では、センスアンプ 318AB には 2 つのメモリ素子 301aA、301aB の夫々に流れる電流の差を検知することができる。この場合、2 個のメモリ素子で 1 ビット又は 2 ビットの情報を記憶する。上記読み出し動作の

説明で示したように、読出し動作時にメモリ素子を通る電流の向きを反転し、メモリ機能体Aとメモリ機能体Bとに記憶する情報を独立して読出せば、2個のメモリ素子で2ビット動作を行なうことができる。一方、読出し動作時にメモリ素子を通る電流の向きを専ら一方向に限定すれば、2個のメモリ素子で1ビット動作を行なうことになる。

【0117】

2個のメモリ素子で2ビット動作を行なう場合の動作の概念図を図21に示す。図21において、例えば、メモリ素子601A、601B、センスアンプ618AB1(618AB2)は、夫々図20におけるメモリ素子301aA、301aB、センスアンプ318ABに対応しており、メモリ素子とセンスアンプとの間に存する素子等は省略している。また、図21では、センスアンプ618AB1と618AB2との2つが描かれているが、図20の半導体記憶装置のように、切換えトランジスタ及び動作選択トランジスタを用いて1個のセンスアンプとメモリ素子との接続を切換えてもよい。

【0118】

図21の(a)～(d)は、2個のメモリセルがとり得る4状態(2ビット)を示している。いずれの場合も、センスアンプの2つの入力には、夫々LとH、HとLというように反対の記憶情報に対応する電流が入力されるので、それらの電流差を検知することにより、記憶情報を読出すことができる。

2個のメモリ素子で1ビット動作を行なう場合の動作の概念図を図22に示す。この場合は、読出し動作時にメモリ素子を通る電流の向きを反転しないので、センスアンプ618ABは1個しか描かれていない。図22の(a)及び(b)は、2個のメモリセルがとり得る2状態(1ビット)を示している。いずれの場合も、センスアンプの2つの入力には、夫々LとH、HとLというように反対の記憶情報に対応する電流が入力される。また、図22に示すように、1個のメモリ素子に付随する2つのメモリ機能体には、同一の記憶情報が記憶されていることが好ましい。これにより、読み出し動作の信頼性を向上することができる。

【0119】

ところで、1個のメモリ素子がセンスアンプの一方の入力に接続され、外部リ

ファレンス素子がセンスアンプの他方の入力に接続される構成にすれば、1 個のメモリ素子に 2 ビットの情報を記憶させることができる。

しかし、本実施の形態のように、2 個のメモリ素子（メモリ素子対）の出力が、同一のセンスアンプに入力されていることが好ましい。このような構成を有する場合、同様のデバイス構造を有する 2 つのメモリ素子を通る電流の差を検知することにより、メモリ素子の記憶情報を読み出すことができる。一方、例えば、通常構造のトランジスタを外部リファレンスとして用いた場合は、メモリ素子と通常構造のトランジスタとの温度特性の差が読出し動作の信頼性を阻害する原因となる。したがって、メモリ素子対の出力が、同一のセンスアンプに入力されることにより、読出し動作の信頼性を向上させることができる。

【0 1 2 0】

本実施の形態の半導体記憶装置においては、各メモリ素子の両側には 1 個ずつ計 2 個の選択トランジスタが接続されている。それゆえ、書換え動作時において、ビット線にかかる書換え電圧が、選択された唯一のメモリ素子のみに印加され、同じビット線対に接続される他のメモリ素子には印加されない。したがって、書換え動作時における非選択セルの誤書換えを防止することが可能となる。

また、読出し動作時において、非選択セルのオフ電流が選択セルの読出し電流に加算され、読出し動作のマージンが小さくなるという問題が緩和される。この効果は、ワード線の本数が多く、同一のビット線対に接続されるセル数が多い場合、特に顕著になる。

【0 1 2 1】

なお、各メモリ素子の片側のみに 1 個の選択トランジスタが設けられた場合も、読出し動作時に非選択セルのオフ電流を小さくすることができる。

ワード線 3 0 8 a ～ 3 0 8 n は、例えば、上部メタル配線を用いて各メモリ素子のゲート電極を接続することにより形成することができる。しかし、各メモリ素子（少なくとも、1 対のメモリ素子）のゲート電極が、一体となってワード線として機能し、かつメモリ素子対のメモリ機能体が、ゲート電極の両側においてそれぞれ一体となって共有されることが好ましい。例えば、直線状のポリシリコン電極が複数の半導体層の活性領域上に跨り、ポリシリコン電極と半導体層の活

性領域とがゲート絶縁膜で隔てられていれば、各活性領域上においてポリシリコンがゲート電極の機能を果たし、且つ直線状のポリシリコン電極自体がワード線としての機能を果たすことになる。この場合、ゲート電極と上部メタル配線とを接続するコンタクトを大幅に減少し、半導体記憶装置の集積度を向上することができる。また、ゲート電極はメモリ機能体を共有しているため、メモリ素子ごとにメモリ機能体を分離する必要が無く、製造工程を簡略化することができ、安価で信頼性の高い半導体記憶装置が得られる。

【0122】

本実施の形態の半導体記憶装置は、ロジックトランジスタが同じ半導体チップ上に混載されていることが好ましい。

本実施の形態のメモリ素子を形成するための手順は、通常の標準トランジスタ形成プロセスと非常に親和性の高いものとなっているため、半導体記憶装置、つまり、メモリ素子とロジックトランジスタとを混載するプロセスは非常に簡便なものとなる。ロジック回路部やアナログ回路部を構成する標準トランジスタは、図25に示すように、通常、半導体基板711上にゲート絶縁膜712を介して、絶縁膜からなるサイドウォールスペーサ714をその側壁に有するゲート電極713が形成され、ゲート電極713の両側にソース領域717及びドレイン領域718が形成されている。ソース領域717及びドレイン領域718は、LDD (Lightly Doped Drain) 領域719を有する。したがって、この標準トランジスタは、半導体記憶装置のメモリ素子の構成と近似しており、標準トランジスタをメモリ素子に変更するためには、例えば、サイドウォールスペーサ714にメモリ機能部としての機能を付加し、LDD領域719を形成しないのみでよい。

【0123】

より具体的には、サイドウォールスペーサ714を、例えば、図8のメモリ機能体261、262と同様の構造に変更すればよい。この際、シリコン酸化膜241、243、シリコン窒化膜242の膜厚構成比はメモリ素子が適切な動作をするように適宜調整することができる。標準ロジック部を構成するトランジスタのサイドウォールスペーサが、例えば、図8のメモリ機能体261、262と同

様な構造であったとしても、サイドウォールスペーサ幅（すなわちシリコン酸化膜 241、243 とシリコン窒化膜 242 のトータル膜厚）が適切であって、書換え動作が起こらない電圧範囲で動作させる限り、トランジスタ性能を損なうことはない。

【0124】

また、標準ロジック部を構成するトランジスタに LDD 領域を形成するためには、ゲート電極を形成した後であってメモリ機能体（サイドウォールスペーサ）を形成する前に、LDD 領域形成のための不純物注入を行なえばよい。したがって、LDD 領域形成のための不純物注入を行なう際に、メモリ素子をフォトレジストでマスクするのみで、メモリ素子と標準トランジスタとを同時に形成することができ、容易に混載することができる。

【0125】

なお、従来技術のフラッシュメモリは、その形成プロセスが標準ロジックプロセスと著しく異なる。それゆえ、フラッシュメモリを不揮発性メモリとして用いてロジック回路やアナログ回路と混載した従来の場合に比べて、本発明の半導体記憶装置は、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、ロジック回路やアナログ回路と不揮発性メモリ素子とを混載したチップの歩留まりが向上し、製造コストが削減され、ひいては、安価で、信頼性の高い半導体記憶装置を得ることができる。

【0126】

本実施の形態の半導体記憶装置は、1つのセンスアンプに接続される2個のメモリ素子に、互いに反対の記憶情報を記憶させ、読出し時にはセンスアンプにより2個のメモリ素子に流れる電流値の差を検知するように動作させるのが好ましい。1つのセンスアンプに接続される2個のメモリ素子に、互いに反対の記憶情報を記憶させた場合、1個のメモリ素子と外部のリファレンスセルとを1つのセンスアンプに接続した場合よりも、読出しの信頼性が高くなる。また、読出し速度を向上することができるとともに、読出し電流値を小さくすることができる。1つのセンスアンプに接続される2個のメモリ素子に、互いに反対の記憶情報を記憶させた場合に読出しの信頼性が高くなるのは、2個のメモリ素子の書換え回

数を一致させることができるため、素子劣化にともなう特性変化が起きた場合においても 2 個のメモリセルの特性変化は同じ程度になり、2 個のメモリ素子に流れる電流値の差が変化しにくいためである。同様の理由により、2 個のメモリ素子に流れる電流値の差を大きく保ちやすいので、読出し速度を向上することができる。また、同様の理由により、センスアンプの感度を高くして、読出し電流値を小さくすることが容易である。読出し電流値を小さくすることができれば、メモリ素子のゲート幅を小さくして、メモリセルアレイの集積度を向上することができる。

【0127】

1 つのセンスアンプに接続される 2 個のメモリ素子に、互いに反対の記憶情報を記憶させ、読出し時にはセンスアンプにより 2 個のメモリ素子に流れる電流値の差を検知するように動作させる動作方法は、本発明の半導体記憶装置を用いた場合に特に好ましい。

実施の形態 9 で述べたように、本発明のメモリ素子は、書込み時と消去時とのドレイン電流比を特に大きくすることができる。それゆえ、2 個のメモリ素子に流れる電流値の差を大きくして、高速読出しを実現することができる。あるいは、メモリ素子のゲート幅を小さくしても所要の電流値の差を得ることができるので、メモリ素子のゲート幅を小さくして、メモリセルアレイの集積度を向上することが特に容易となる。

【0128】

なお、1 つのセンスアンプに接続される 2 個のメモリ素子において、メモリ機能体の一方 (A) と他方 (B) を独立して書換えを行なってもよい (図 21 に示した動作方法)。この場合も、メモリ機能体の一方 (A) には互いに反対の記憶情報を記憶させ、メモリ機能体の他方 (B) には互いに反対の記憶情報を記憶させるのが好ましい。この場合、2 個のメモリセルで 2 ビットの情報を記憶することができる。なお、読出し動作時にメモリ素子に流れる電流の向きを反転可能な構成にしておく必要がある。

【0129】

また、1 つのセンスアンプに接続される 2 個のメモリ素子において、メモリ機

能体の一方(A)と他方(B)の記憶状態が同じになるように動作させてもよい(図22に示した動作方法)。この場合、2個のメモリセルで1ビットの情報を記憶することができる。このように、両側のメモリ機能体の記憶状態を同じにすることにより、読出し動作の信頼性をより高くすることができる。

【0130】

つまり、読出し動作時においては、ドレイン電流はソース側のメモリ機能体の電荷量に敏感に反応し、ドレイン側のメモリ機能体の電荷量にはそれほど敏感ではない。しかし、メモリ素子のドレイン電流はドレイン側のメモリ機能体の電荷量により全く影響を受けないわけではない。この影響は干渉効果となってセンスアンプに入力される電流値を変動させ、読出し電流のマージンを大きくする。したがって、1つのセンスアンプに接続される2個のメモリ素子において、メモリ機能体の一方(A)と他方(B)の記憶状態が同じになるように動作させれば、センスアンプに入力される電流値の変動が小さくなり、読出し動作の信頼性をより高くすることができる。

【0131】

本実施の形態に用いるメモリ素子は、実施の形態7のメモリ素子を用いることが好ましい。すなわち、電荷保持膜(シリコン窒化膜242)とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ(T1)が、ゲート絶縁膜の厚さ(T2)よりも薄く、0.8nm以上であることが好ましい。このようなメモリ素子を本実施の形態の半導体記憶装置に用いれば、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。また、メモリ素子のメモリ効果が増大するので、半導体記憶装置の読出し速度を高速にすることが可能となる。

【0132】

本実施の形態に用いるメモリ素子は、実施の形態8のメモリ素子を用いることが好ましい。すなわち、電荷保持膜(シリコン窒化膜242)とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ(T1)が、ゲート絶縁膜の厚さ(T2)よりも厚く、20nm以下であることが好ましい。このようなメモリ素子を本実施の形態の半導体記憶装置に用いれば、メモリ素子の短チャネル効果を悪化させ

ることなく保持特性を改善することができるから、半導体記憶装置を高集積化しても十分な記憶保持性能を得ることができる。

【0133】

本実施の形態に用いるメモリ素子は、実施の形態2に記載するように、メモリ機能体261、262における電荷を保持する領域（シリコン窒化膜242）は、拡散領域212、213とそれぞれオーバーラップするのが好ましい。このようなメモリ素子を本実施の形態の半導体記憶装置に用いれば、半導体記憶装置の読出し速度を十分に高速にすることができる。

【0134】

本実施の形態に用いるメモリ素子は、実施の形態2に記載するように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含むことが好ましい。このようなメモリ素子を本実施の形態の半導体記憶装置に用いれば、メモリ素子のメモリ効果のばらつきを小さくすることができるので、半導体記憶装置の読出し電流ばらつきを抑えることができる。さらに、記憶保持中のメモリ素子の特性変化を小さくすることができるので、半導体記憶装置の記憶保持特性が向上する。

【0135】

本実施の形態に用いるメモリ素子は、実施の形態3に記載するように、メモリ機能体は、ゲート絶縁膜表面と略平行に配置されるな電荷保持膜を含み、かつ、ゲート電極側面と略並行に延びた部分を含むことが好ましい。このようなメモリ素子を本実施の形態の半導体記憶装置に用いれば、メモリ素子の書換え速度が増大するので、半導体記憶装置の書換え動作を高速にすることができる。

本実施の形態に用いるメモリ素子は、既に述べた最良の形態のメモリ素子を用いるのが、最も好ましい。それにより、半導体記憶装置の性能を最良のものにすることができる。

【0136】

（実施の形態11）

この実施の形態の半導体記憶装置は、実施の形態10の半導体記憶装置において、選択トランジスタを配置しないものである。

図 2 3 は、半導体記憶装置の回路図である。図 2 0 とは、メモリ素子配列領域 4 2 1 のみが異なる。動作選択トランジスタ 4 0 4、4 0 5、動作選択線 4 1 2、4 1 3、第 1 の電圧入力端子 4 1 7 A 1 ~ 4 1 7 D 1、第 2 の電圧入力端子 4 1 7 A 2 ~ 4 1 7 D 4、第 1 の切替えトランジスタ 4 0 6、第 2 の切換えトランジスタ 4 0 7、切換えトランジスタ選択線 4 1 4、4 1 5、センスアンプ 4 1 8 A B、4 1 8 C D、ワード線 4 0 8 a ~ 4 0 8 n は、実施の形態 1 0 の半導体記憶装置（図 2 0）と同様である。

【0 1 3 7】

各メモリ素子 4 0 1 a A ~ 4 0 1 a D、・・・、4 0 1 n A ~ 4 0 1 n D は、夫々第 1 のビット線 4 1 6 A 1 ~ 4 1 6 D 1 及び第 2 のビット線 4 1 6 A 2 ~ 4 1 6 D 2 に直接接続されている。

各動作方法は、実施の形態 1 0 の半導体記憶装置（図 2 0）と同様である。ただし、選択トランジスタがないために、書換え動作時には同一のビット線対に接続される全てのメモリ素子のソース・ドレインには書換え電圧が印加される。したがって、選択ワード線以外に接続されたメモリ素子が書き換えられないようにメモリ素子を設計しておく必要がある。

【0 1 3 8】

本実施の形態の半導体記憶装置によれば、選択トランジスタがないために集積度を大幅に向上することができる。したがって、製造コストが大幅に低減され、安価な半導体記憶装置を得ることができる。

本発明のメモリ素子は、EEPROMで問題となる過消去が起きない。そのため、本発明のメモリ素子を、本実施の形態のように複数のワード線を有し、かつ選択トランジスタを有しない半導体記憶装置に用いるのが特に好ましい。メモリ素子の 1 つ（例えば、メモリ素子 4 0 1 a A）が過消去により閾値が負になった場合、第 1 のビット線 4 1 6 A 1 と第 2 のビット線 4 1 6 A 2 との間は常に導通状態となり、これらのビット線間に接続されたメモリ素子を選択することが不可能になるからである。

【0 1 3 9】

（実施の形態 1 2）

この実施の形態の半導体記憶装置は、メモリ素子配列領域 521 をさらに高密度化したものに関する。

図 24 において、501aA1～501aA4、501aB1～501aB4
・・・、501nB1～501nB4 はメモリ素子、508a～508n はワード線、BA1～BA5、BB1～BB5 はビット線である。この半導体記憶装置のメモリ素子を配列した部分が実施の形態 10 及び 11 と異なるのは、ビット線が隣り合う列に属するメモリ素子に共有されている点である。具体的には、ビット線 A2～A4、B2～B4 が共有されている。なお、本実施の形態では 4 列のメモリ素子が 1 ブロックを構成しているが、その列数はこの限りではない。

【0140】

この半導体記憶装置においては、読出し動作は、夫々異なるブロックに属する 2 個のメモリ素子、例えば、メモリ素子 501aA1 と 501bB1 とを流れる電流を、夫々センスアンプの一方の入力及び他方の入力に入力し、その差を検知することにより行なう。その場合は、例えば、センスアンプの一方の入力とビット線 A1 を接続し、他方の入力とビット線 B1 を接続する。さらに、ビット線 A2 及び B2 に読出し動作に適当な電圧（例えば +1.8V）を加える。図 24 の点線は、このとき流れる電流の経路を示している。これらの経路を流れる電流がセンスアンプの 2 つの入力に夫々入力され、その差が検知される。なお、図 24 ではメモリ素子と電圧入力端子及びセンスアンプとを接続する回路等は省略している。

本実施の形態の半導体記憶装置によれば、ビット線が隣り合う列に属するメモリ素子に共有されているので、集積度を大幅に向上することができる。したがって、製造コストが大幅に低減され、安価な半導体記憶装置を得ることができる。

【0141】

（実施の形態 13）

上述した半導体記憶装置の応用例として、例えば、図 26 に示したように、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

液晶パネル 1001 は、液晶ドライバ 1002 によって駆動される。液晶ドライバ 1002 内には、不揮発性メモリ部 1003、SRAM 部 1004、液晶ド

ライバ回路 1005 がある。不揮発性メモリ部は、本発明のメモリ素子、より好ましくは実施の形態 10～13 に記載の半導体記憶装置よりなる。不揮発性メモリ部 1003 は外部から書換え可能な構成を有している。

【0142】

不揮発性メモリ部 1003 に記憶された情報は、機器の電源の投入時に S R A M 部 1004 に転写される。液晶ドライバ回路 1005 は、必要に応じて S R A M 部 1004 から記憶情報を読み出すことができる。S R A M 部を設けることにより、記憶情報の読出し速度を非常に高速に行なうことができる。

液晶ドライバ 1002 は、図 26 に示すように液晶パネル 1001 に外付けしてもよいが、液晶パネル 1001 上に形成してもよい。

【0143】

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを搭載することが好ましい。この不揮発性メモリとして本発明のメモリ素子を用いるのが好ましく、特に、本発明のメモリ素子を集積した実施の形態 10～13 に記載の半導体記憶装置を用いるのが好ましい。

【0144】

本発明のメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いれば、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、実施の形態 10～13 に記載の半導体記憶装置は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。2 個のメモリ素子（メモリ素子対）の出力が、同一のセンスアンプに入力されているため、同様なデバイス構造を有する 2 つのメモリ素子を通る電流の差を検知するため、読出し動作が確実に安定して行なわれるからである。そのため、ビット当たりの面積は大きくなるものの、メモリ規模が小規模であれば他の回路面積と比較してその増大割合は許容することができる。通常、液晶パネル

の画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、実施の形態10～13に記載の半導体記憶装置を液晶パネルの画像調整用の不揮発性メモリとして用いるのが特に好ましい。

【0145】

(実施の形態14)

上述した半導体記憶装置が組み込まれた携帯電子機器である携帯電話を、図27に示す。

この携帯電話は、主として、制御回路811、電池812、RF（無線周波数）回路813、表示部814、アンテナ815、信号線816、電源線817等によって構成されており、制御回路811には、上述した本発明の半導体記憶装置が組み込まれている。なお、制御回路811は、実施の形態10で説明したような、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

このように、メモリ部と論理回路部の混載プロセスが簡易で、かつ高速読出し動作が可能である半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の動作速度を向上させ、製造コストを削減することが可能になり、安価で高信頼性、高性能の携帯電子機器を得ることができる。

【0146】

【発明の効果】

本発明の半導体記憶装置によれば、メモリ素子の出力が増幅器に入力されるように構成されているため、メモリ素子に記憶された情報を読出すことが可能である。

また、このメモリ素子は、メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とを分離しているため、メモリ機能を損なうことなく、ゲート絶縁膜を薄膜化して短チャンネル効果を抑制することができる。

さらに、EEPROMに比べて書換えにより拡散領域間を流れる電流値が大きく変化する。したがって、半導体記憶装置の書込み状態と消去状態との判別が容易となり、信頼性を向上させることができる。

【0147】

しかも、メモリ素子の形成プロセスは、通常のトランジスタ形成プロセスと非常に親和性が高い。それゆえ、従来技術のフラッシュメモリを不揮発性メモリ素子として用いて通常トランジスタからなる増幅器と混載して半導体記憶装置を構成する場合に比べて、飛躍的にマスク枚数及びプロセス工数を削減することが可能となる。したがって、増幅器と不揮発性メモリ素子とを混載したチップの歩留まりが向上し、コストが削減され、安価でかつ信頼性の高い半導体記憶装置を得ることができる。

【0148】

また、半導体記憶装置によれば、上述した効果に加え、メモリ素子対の一方及び他方の出力が、同一の増幅器に入力されるため、同様のデバイス構造を有する2つのメモリ素子を流れる電流の差を検知することができる。したがって、読出し動作の信頼性を向上させることができる。

メモリ素子対のゲート電極が、一体となってワード線として機能し、かつメモリ素子対のメモリ機能体が、ゲート電極の両側においてそれぞれ一体となって共有されてなる場合には、ゲート電極間を接続するための配線を簡略化し、半導体記憶装置の集積度を向上させることができるとともに、メモリ素子ごとにメモリ機能体を分離する必要がなく、製造工程を簡略化することができる。

【0149】

メモリ素子が、メモリ機能体に蓄積された電荷量が異なる第1記憶状態と第2記憶状態とに書換え可能であり、読出し時において、メモリ素子対の一方が第1記憶状態にあるとき、他方を第2記憶状態として動作させる場合には、1つの増幅器に接続される2個のメモリ素子に、互いに反対の記憶情報を記憶させるため、1個のメモリ素子と外部のリファレンスセルとを1つの作動増幅器に接続した場合よりも、読出しの信頼性が高くなる。また、読出し速度を向上させることができるとともに、読出し電流値を小さくすることができる。

【0150】

メモリ素子が、ゲート電極の両側に形成された2つのメモリ機能体の夫々について、メモリ機能体に蓄積された電荷量が異なる第1記憶状態と第2記憶状態と

に書換え可能であり、読出し時において、同一のメモリ素子に属する2つのメモリ機能体の記憶状態が同一であり、且つ前記メモリ素子対の一方と他方の夫々に属するメモリ機能体の記憶情報が互いに異なる場合には、読出し時において、1つの増幅器に接続される2個のメモリ素子のメモリ機能体の一方と他方との記憶状態が同じであるため、読出し動作の信頼性をより高くすることができる。

【0151】

複数のメモリ素子対が同一の増幅器に接続され、メモリ素子対は夫々異なるワード線に接続され、1つのワード線の選択により、所定のメモリ素子対の出力が増幅器に入力されてなる場合には、半導体記憶装置の集積度をより高くすることができる。

また、メモリ素子が直列に1以上のトランジスタを接続してなる場合には、読出し時において、非選択メモリ素子のオフ電流が選択メモリ素子の読出し電流に加算され、読出し動作のマージンが小さくなるという問題が緩和される。

【0152】

メモリ機能体が、少なくとも一部を拡散領域の一部にオーバーラップするように形成されてなる場合には、半導体記憶装置の読出し速度を十分に高速にすることができる。

メモリ機能体が、ゲート絶縁膜の表面と略平行な表面を有する電荷を保持する機能を有する膜を含む場合には、メモリ素子のメモリ効果のばらつきを小さくすることができ、半導体記憶装置の読出し電流ばらつきを抑えることができる。また、記憶保持中のメモリ素子の特性変化を小さくすることができるため、半導体記憶装置の記憶保持特性を向上させることができる。

【0153】

電荷を保持する機能を有する膜が、ゲート電極側面と略平行に配置する場合には、メモリ素子の書換え速度が増大するため、半導体記憶装置の書換え動作を高速にすることができる。

メモリ機能体が、さらに電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、この絶縁膜が、ゲート絶縁膜よりも薄く、かつ0.8nm以上の膜厚である場合には、半導体記憶装置の書込み動作及び消去動

作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となる。また、メモリ素子のメモリ効果が増大するため、半導体記憶装置の読出し速度を高速にすることが可能となる。

【0154】

また、メモリ機能体が、さらに電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、この絶縁膜が、ゲート絶縁膜よりも厚く、かつ20nm以下の膜厚である場合には、メモリ素子の短チャネル効果を悪化させることなく保持特性を改善することができるため、半導体記憶装置を高集積化しても十分な記憶保持性能を得ることができる。

また、本発明の表示装置によれば、上述の半導体記憶装置を備えているため、例えば、不揮発性メモリ素子を表示パネルの製造後に表示ばらつきを補正するための情報記憶に用いることができ、表示装置の製品間の画質を均一にすることができる。しかも、メモリ素子と論理回路部の混載プロセスが簡易であり、製造コストを抑制することができ、安価で信頼性の高い表示装置を得ることができる。

【0155】

本発明の電子機器、特に携帯電子機器によれば、上述の半導体記憶装置を備えているため、メモリ部と論理回路部の混載プロセスが簡易となり、電子機器の動作速度を向上させ、製造コストを削減することが可能になるとともに、安価で信頼性の高い表示装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の半導体記憶装置におけるメモリ素子（実施の形態1）の要部の概略断面図である。

【図2】 本発明の半導体記憶装置におけるメモリ素子（実施の形態1）の変形の要部の概略断面図である。

【図3】 本発明の半導体記憶装置におけるメモリ素子（実施の形態1）の書込み動作を説明する図である。

【図4】 本発明の半導体記憶装置におけるメモリ素子（実施の形態1）の書込み動作を説明する図である。

【図5】 本発明の半導体記憶装置におけるメモリ素子（実施の形態1）の

消去動作を説明する図である。

【図 6】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 1）の消去動作を説明する図である。

【図 7】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 1）の読出し動作を説明する図である。

【図 8】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 2）の要部の概略断面図である。

【図 9】 図 8 の要部の拡大概略断面図である。

【図 1 0】 図 8 の変形の要部の拡大概略断面図である。

【図 1 1】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 2）の電気特性を示すグラフである。

【図 1 2】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 2）の変形の要部の概略断面図である。

【図 1 3】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 3）の要部の概略断面図である。

【図 1 4】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 4）の要部の概略断面図である。

【図 1 5】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 5）の要部の概略断面図である。

【図 1 6】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 6）の要部の概略断面図である。

【図 1 7】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 7）の要部の概略断面図である。

【図 1 8】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 8）の要部の概略断面図である。

【図 1 9】 本発明の半導体記憶装置におけるメモリ素子（実施の形態 9）の電気特性を示すグラフである。

【図 2 0】 本発明の半導体記憶装置（実施の形態 1 0）の回路図である。

【図 2 1】 本発明の半導体記憶装置（実施の形態 1 0）において、2 個の

メモリ素子で2ビット動作を行なう場合の動作の概念図である。

【図22】 本発明の半導体記憶装置（実施の形態10）において、2個のメモリ素子で1ビット動作を行なう場合の動作の概念図である。

【図23】 本発明の半導体記憶装置（実施の形態11）の回路図である。

【図24】 本発明の半導体記憶装置（実施の形態12）の回路図である。

【図25】 通常トランジスタの要部の概略断面図である。

【図26】 本発明の半導体記憶装置を組み込んだ液晶表示装置（実施の形態13）の概略構成図である。

【図27】 本発明の半導体記憶装置を組み込んだ携帯電子機器（実施の形態14）の概略構成図である。

【図28】 従来のフラッシュメモリの要部の概略断面図である。

【図29】 従来のフラッシュメモリの電気特性を示すグラフである。

【符号の説明】

1、301aA～301aD、401aA、501aA1～501aA4、501aB1～501aB4・・・、501nB1～501nB4、601A、601B メモリ素子

101、211、286、711 半導体基板

102 P型ウェル領域

103、214、712 ゲート絶縁膜

104、217、713 ゲート電極

105a、105b メモリ機能部

107a、107b、212、213 拡散領域

109、142、142a、242、242a シリコン窒化膜

120、271 オフセット領域

121 ゲート電極下の領域

111 微粒子

112 絶縁膜

131a、131b、261、262、262a メモリ機能体

226 反転層

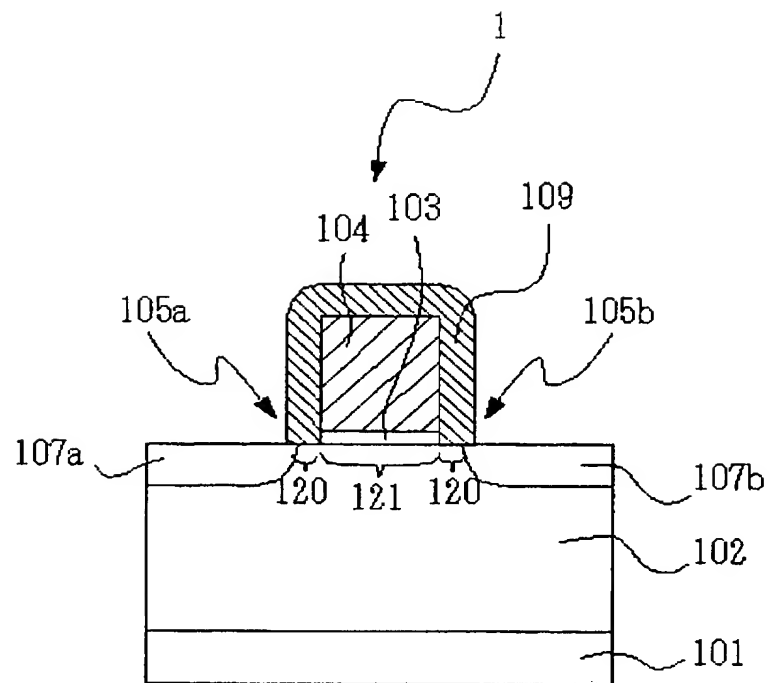
- 2 4 1、2 4 3、2 4 4 シリコン酸化膜
- 2 8 1、2 8 2、2 9 2、4 2 1 領域
- 2 8 3、2 8 4 電気力線
- 2 8 7 ボディ領域
- 2 8 8 埋め込み酸化膜
- 2 9 1 高濃度領域
- 3 0 2 a A ~ 3 0 2 a D、3 0 3 a A ~ 3 0 3 a D 選択トランジスタ
- 3 0 4、3 0 5、4 0 4、4 0 5 動作選択トランジスタ
- 3 0 6、3 0 7、4 0 6、4 0 7 トランジスタ
- 3 0 8 a、4 0 8 a ~ 4 0 8 n、5 0 8 a ~ 5 0 8 n ワード線
- 3 0 9 a、3 1 0 a 選択トランジスタワード線
- 3 1 2、3 1 3、4 1 2 動作選択線
- 3 1 4、3 1 5、4 1 4、4 1 5 トランジスタ選択線
- 3 1 6 A 1、3 1 6 A 2、3 1 6 B 1、3 1 6 B 2、4 1 6 A 1、4 1 6 A 2
、A 2 ~ A 4、B 2 ~ B 4、B A 1 ~ B A 5、B B 1 ~ B B 5 ビット線
- 3 1 7 A 1、3 1 7 A 2、3 1 7 B 1、3 1 7 B 2、4 1 7 A 1、4 1 7 A 2
電圧入力端子
- 3 1 8 A B、4 1 8 A B、4 1 8 C D、6 1 8 A B、3 1 8 A B、6 1 8 A B
- 1 センスアンプ
- 3 2 1、4 2 1、5 2 1 メモリ素子配列領域
- 7 1 4 サイドウォールスペーサ
- 7 1 7 ソース領域
- 7 1 8 ドレイン領域
- 7 1 9 L D D 領域
- 8 1 1 制御回路
- 8 1 2 電池
- 8 1 3 R F 回路
- 8 1 4 表示部
- 8 1 5 アンテナ

- 8 1 6 信号線
- 8 1 7 電源線
- 1 0 0 1 液晶パネル
- 1 0 0 2 液晶ドライバ
- 1 0 0 3 不揮発性メモリ部
- 1 0 0 4 S R A M 部
- 1 0 0 5 液晶ドライバ回路

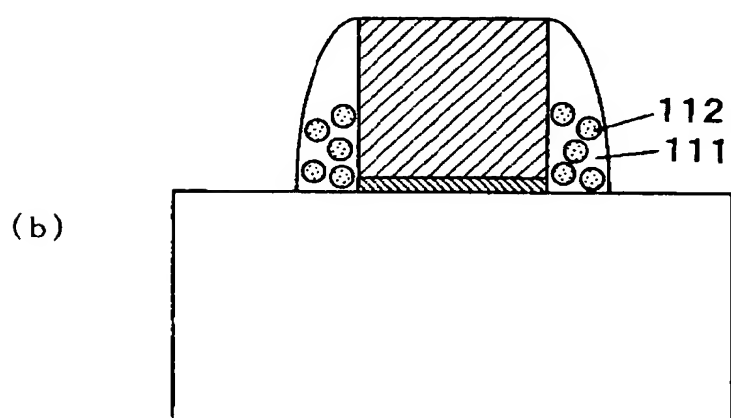
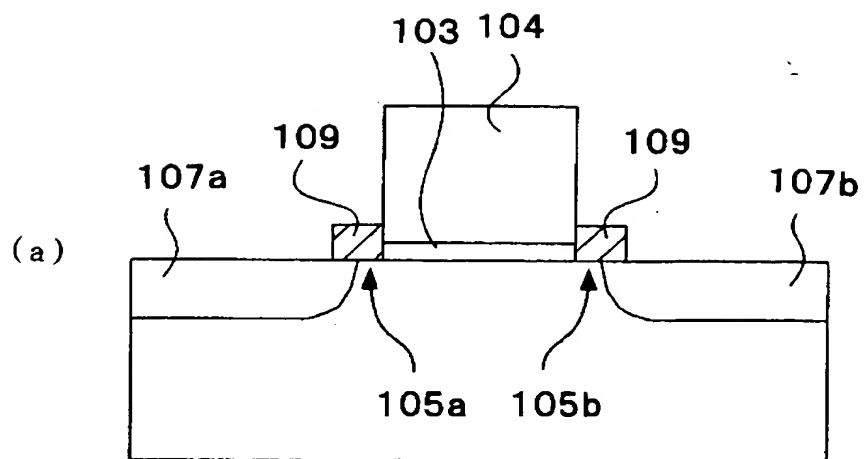
【書類名】

図面

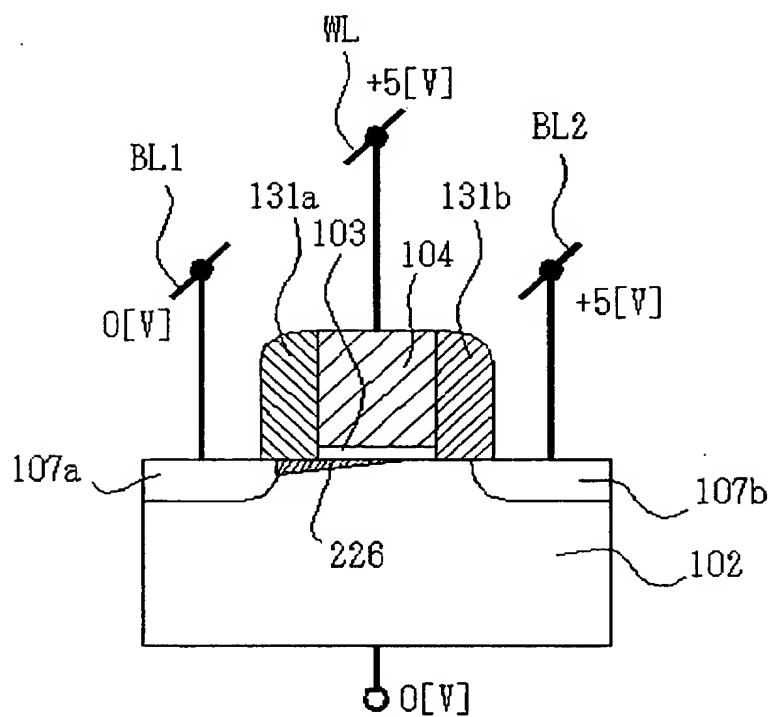
【図 1】



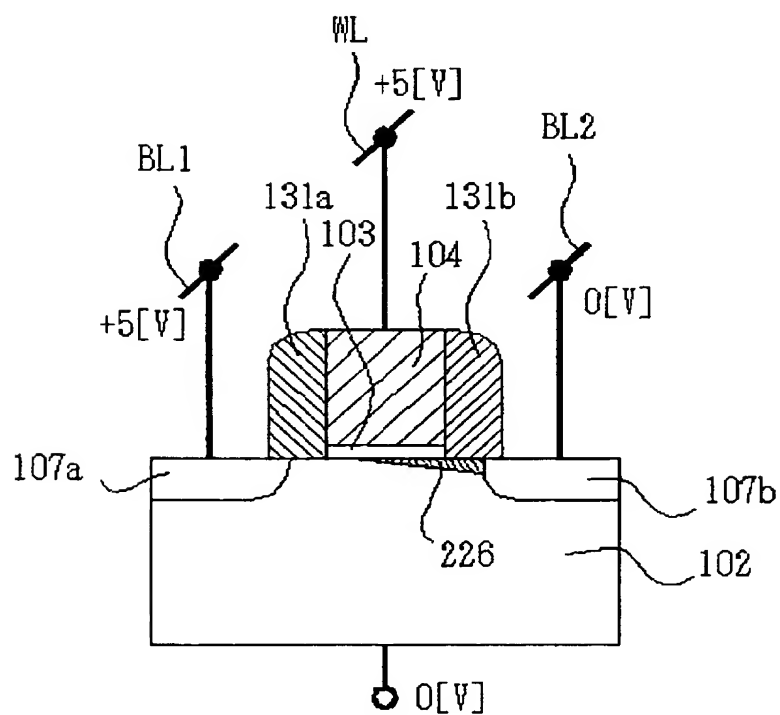
【図 2】



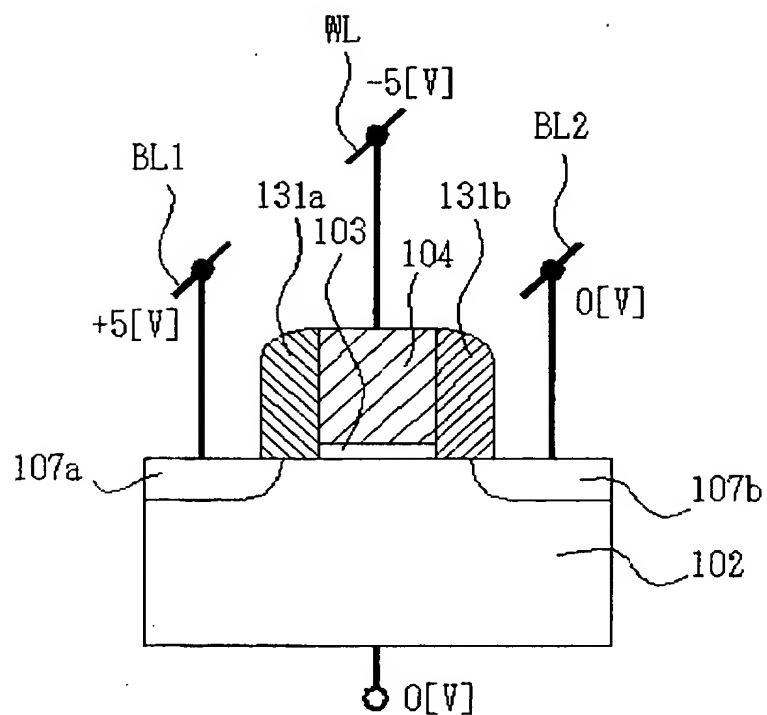
【図 3】



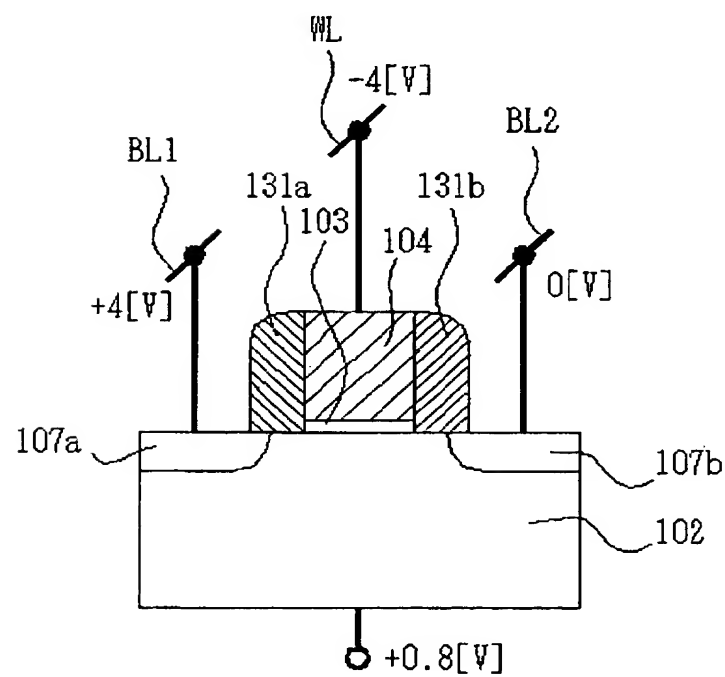
【図 4】



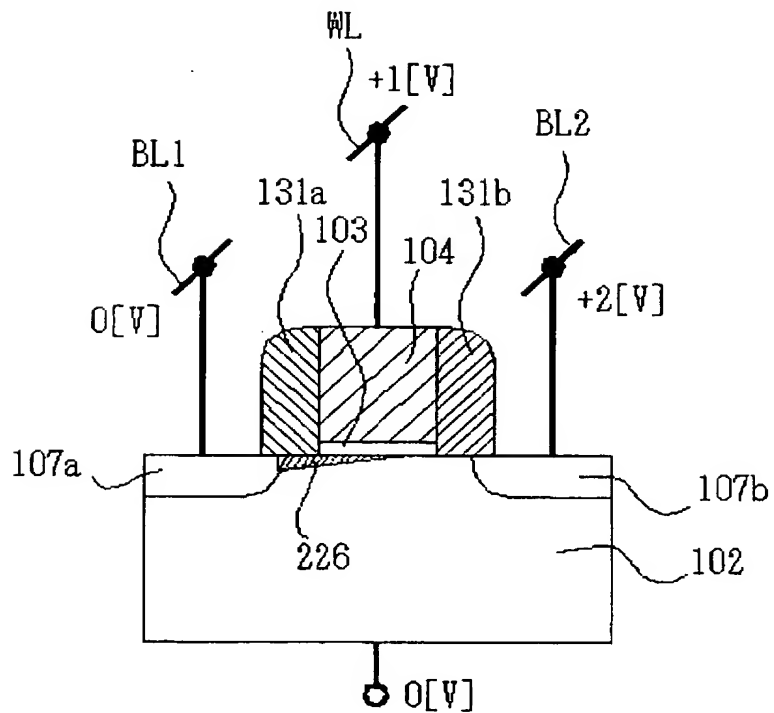
【図 5】



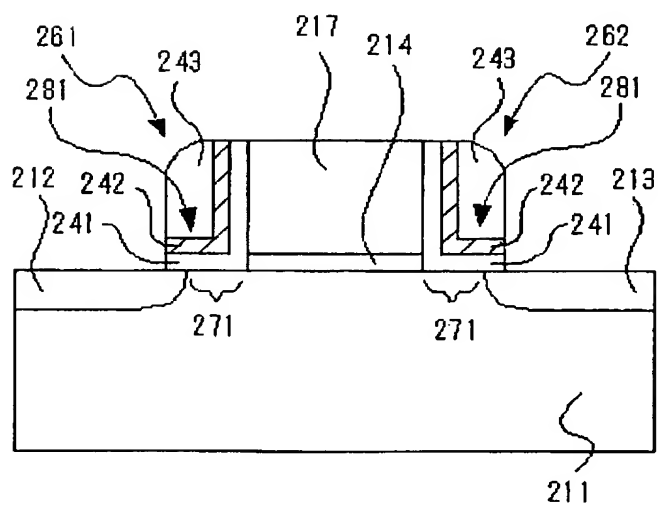
【図 6】



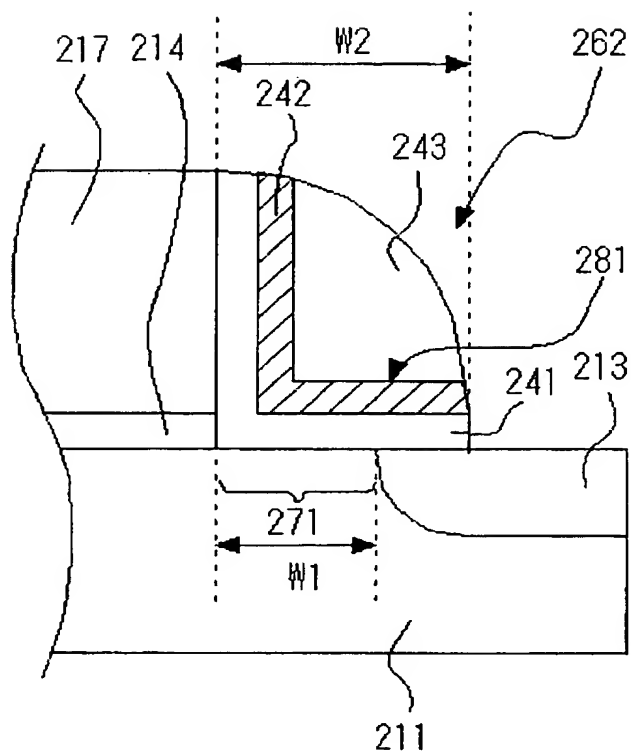
【図 7】



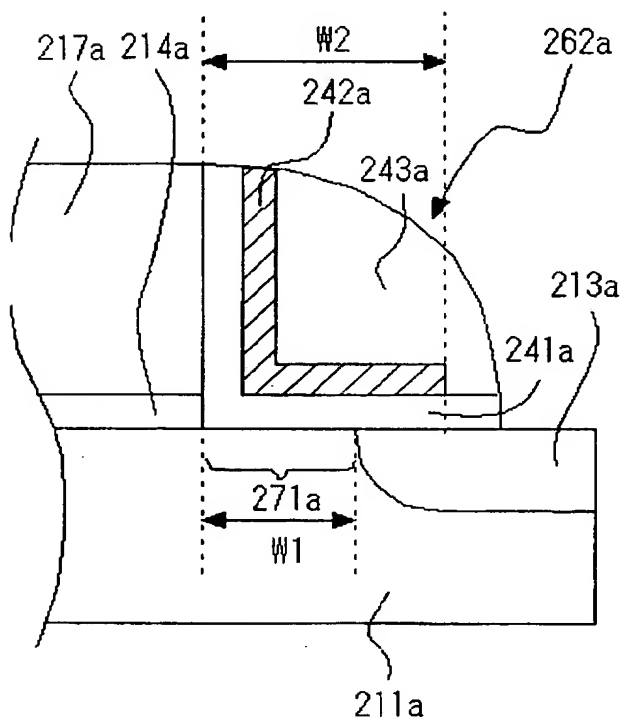
【図 8】



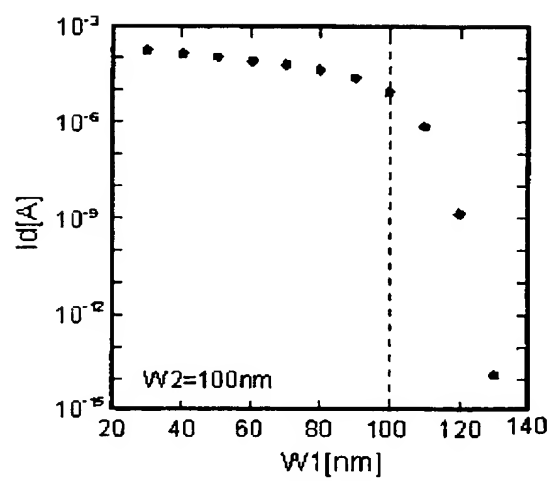
【図 9】



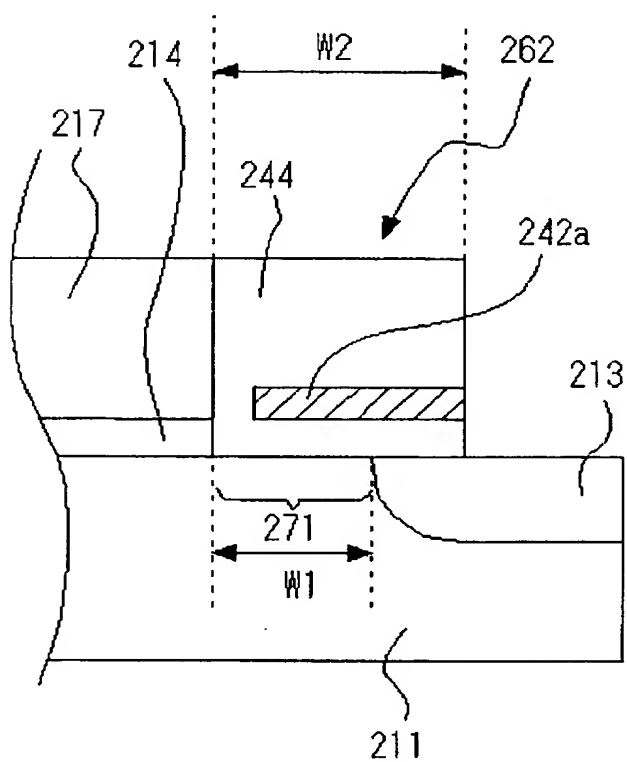
【図 10】



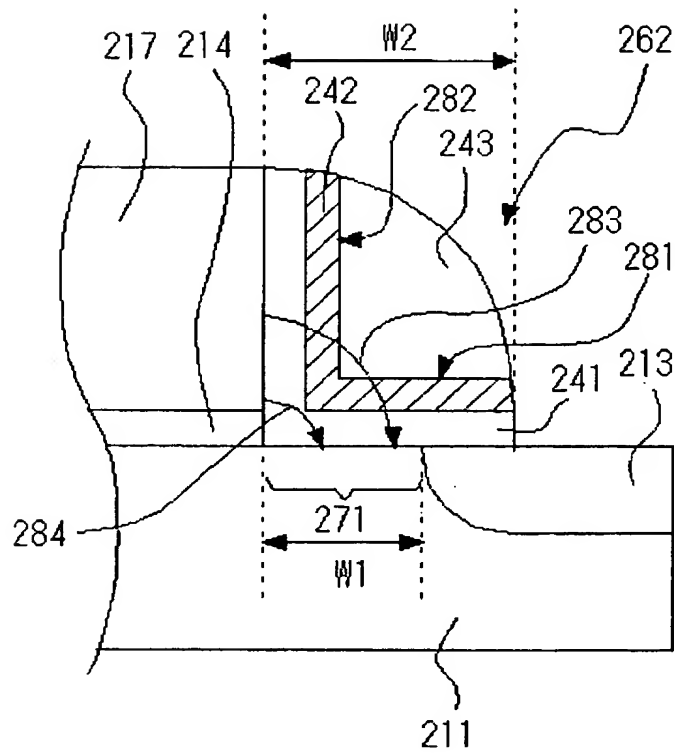
【図 11】



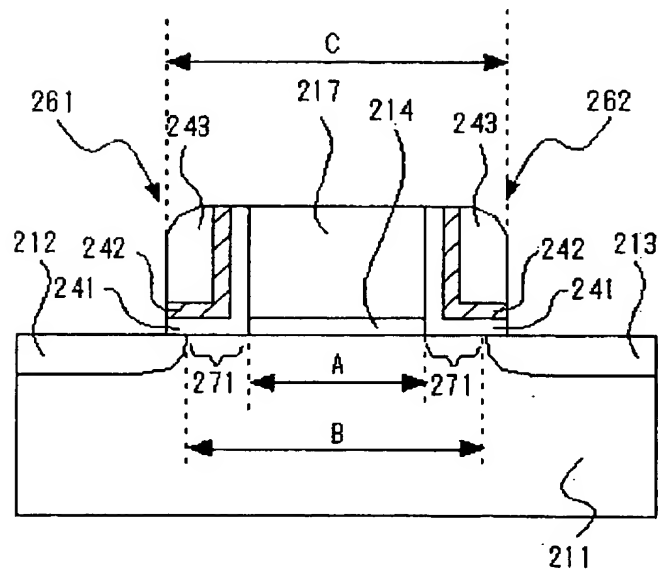
【図 12】



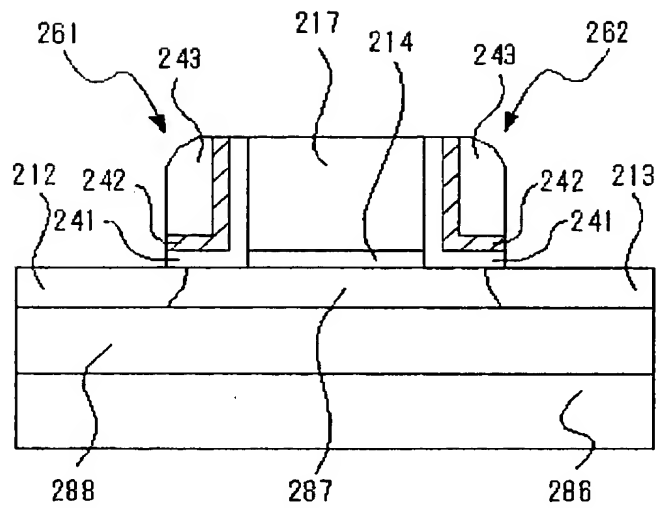
【図 13】



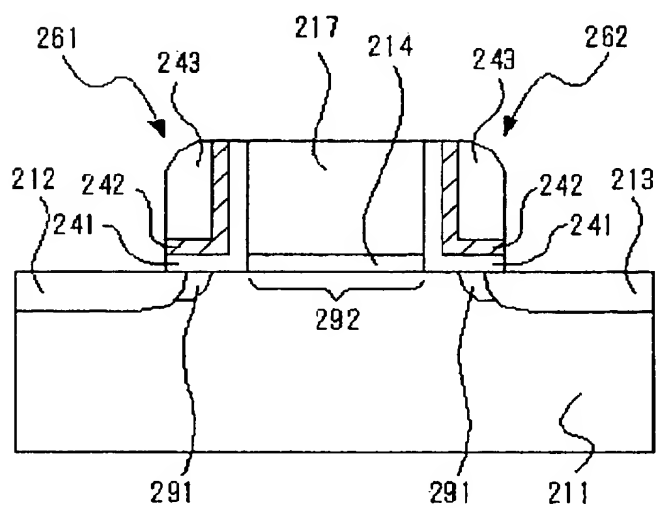
【図 14】



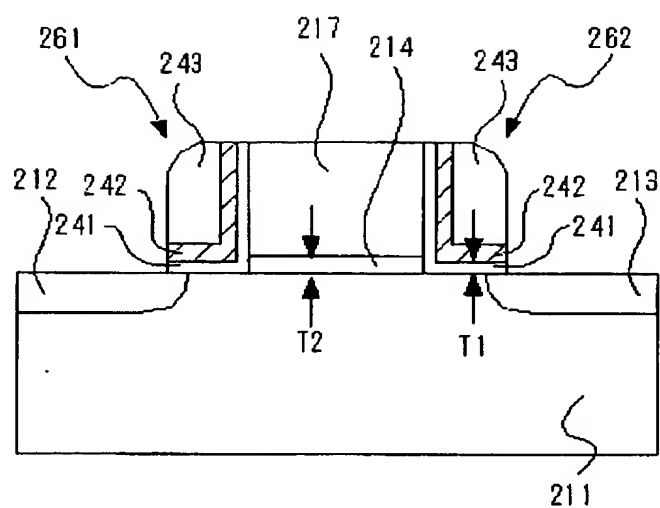
【図 15】



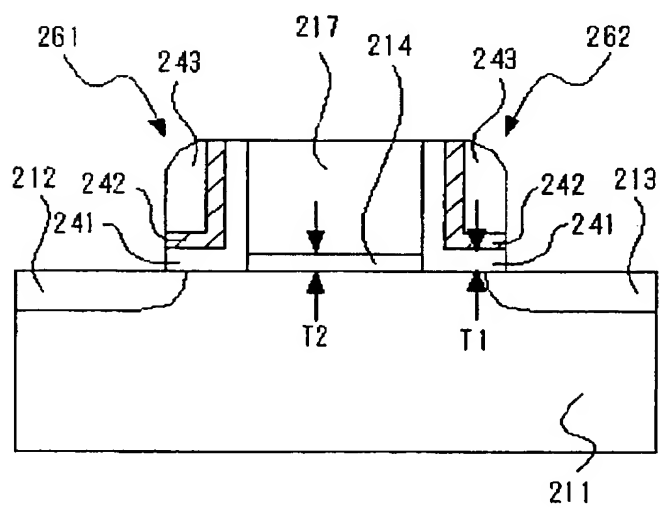
【図 16】



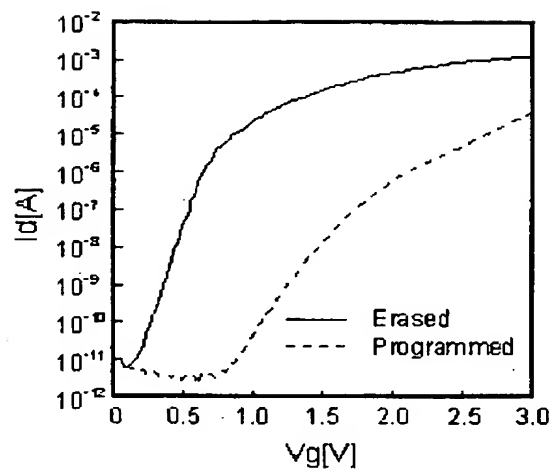
【図 17】



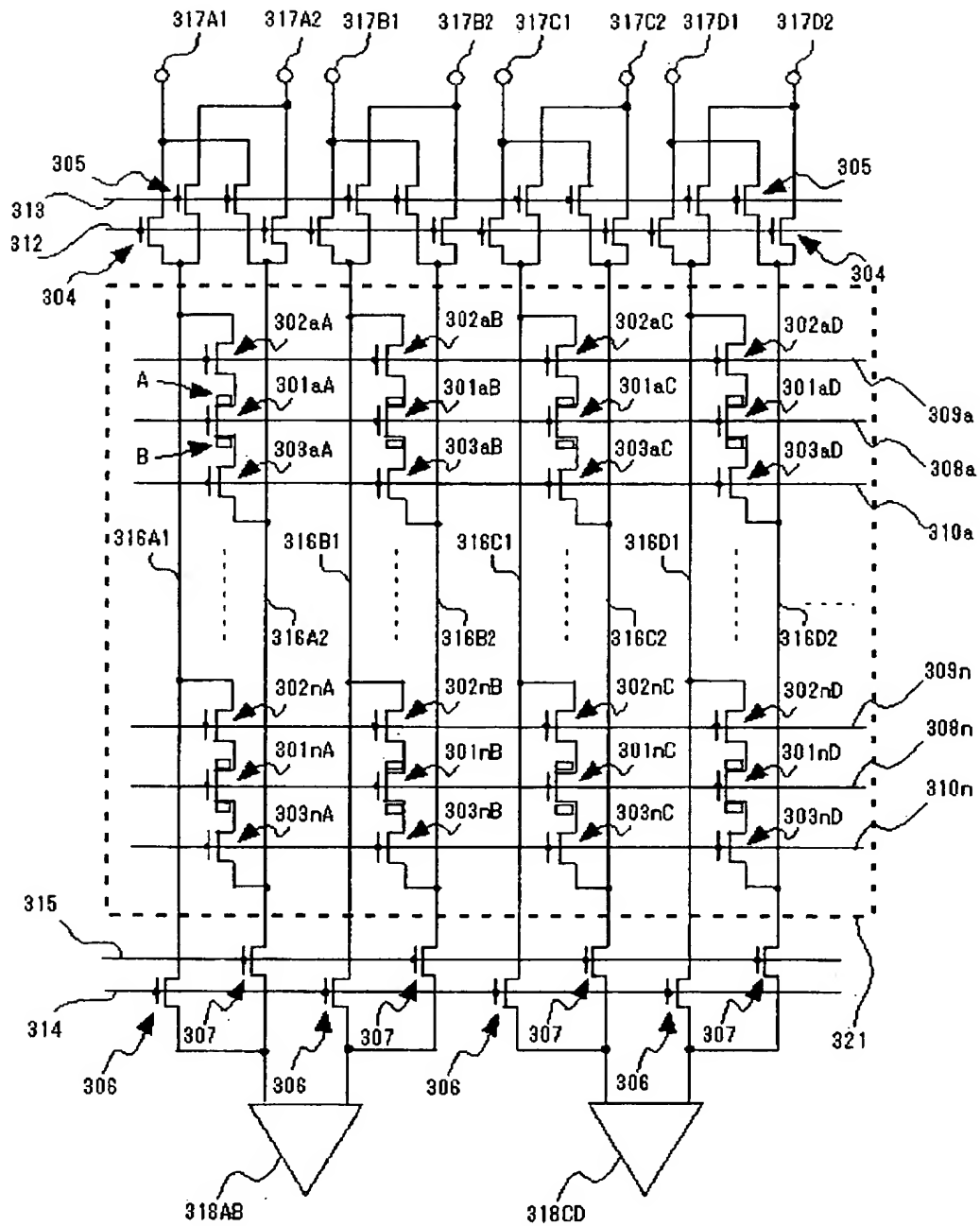
【図 18】



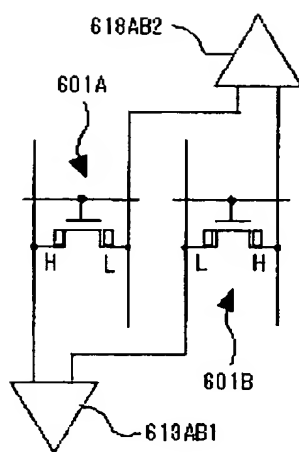
【図 19】



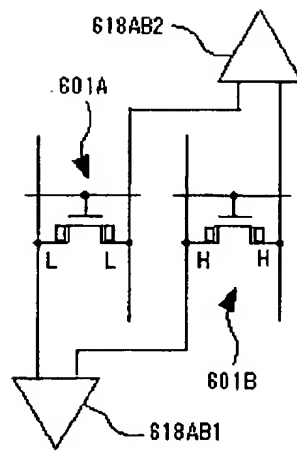
【図 20】



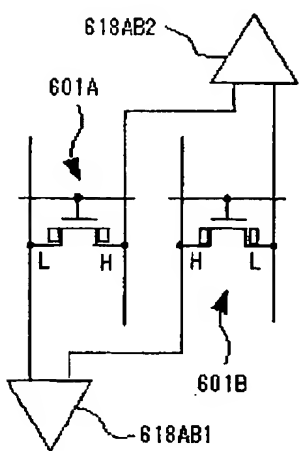
【図 21】



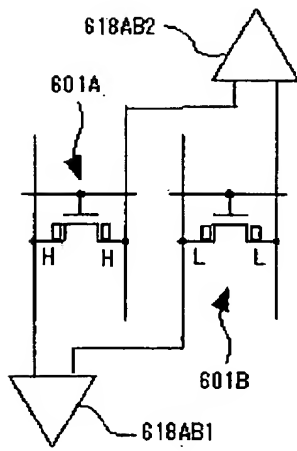
(a)



(b)

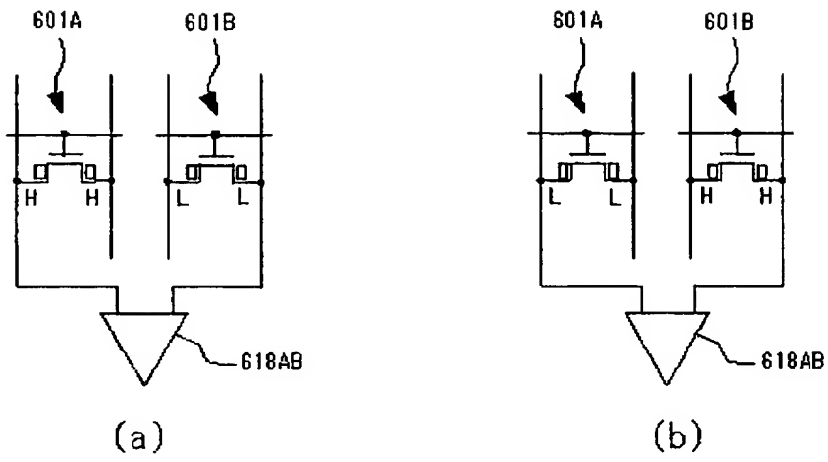


(c)

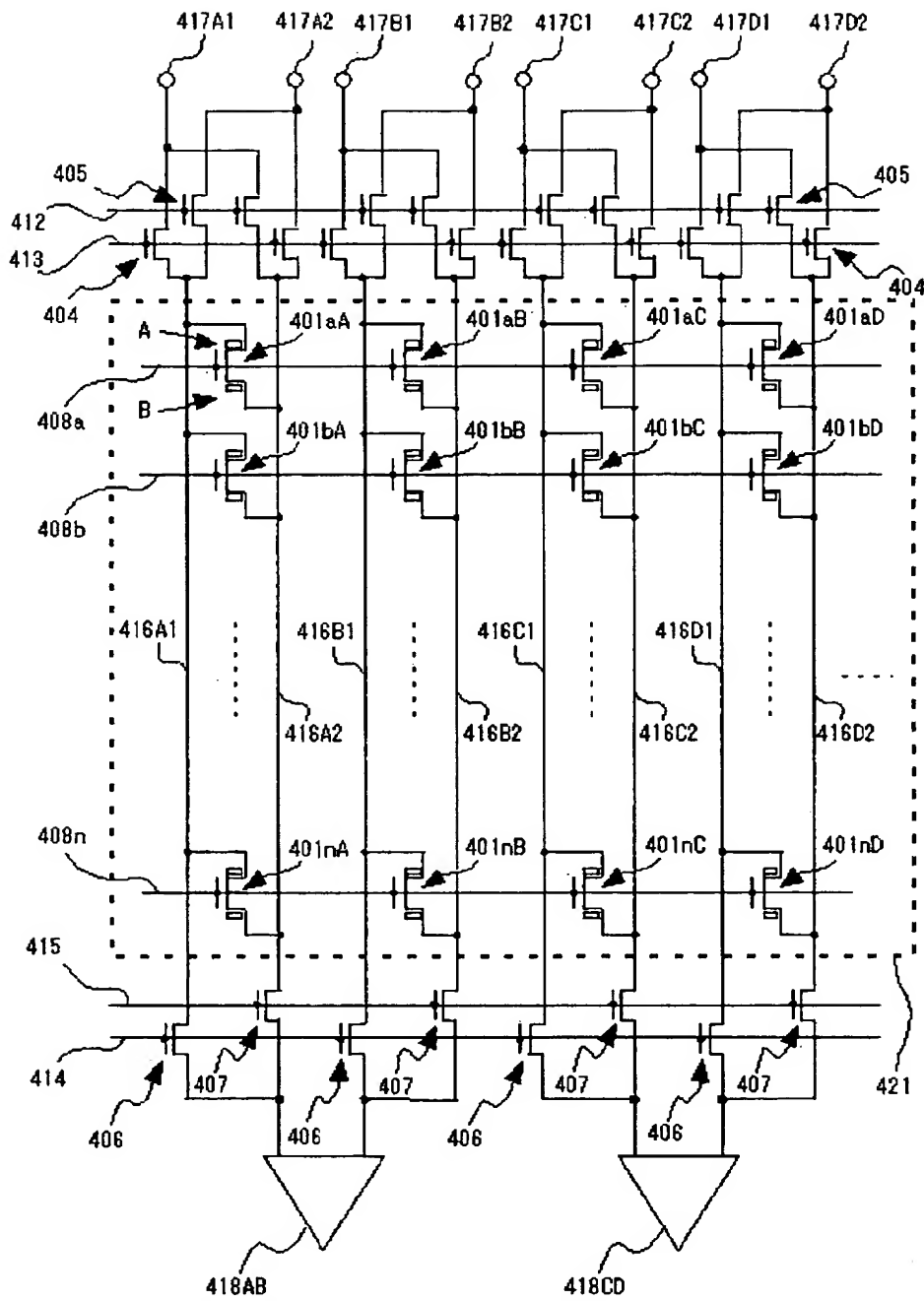


(d)

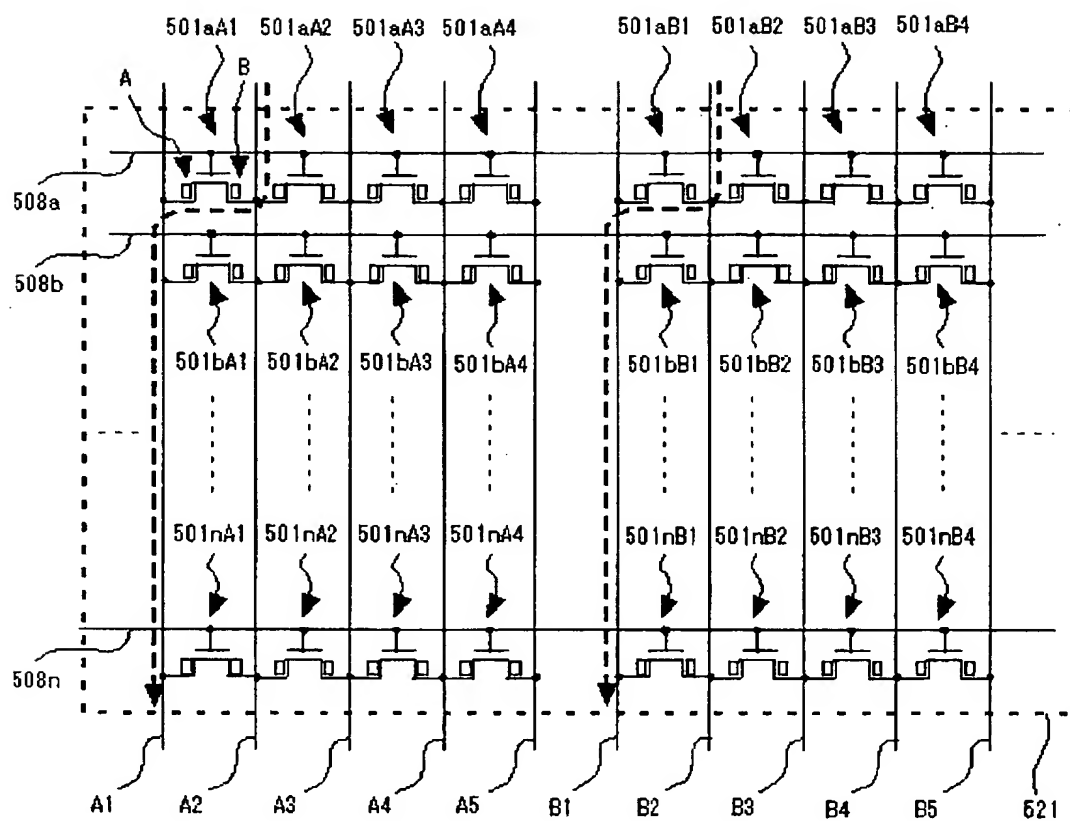
【図 22】



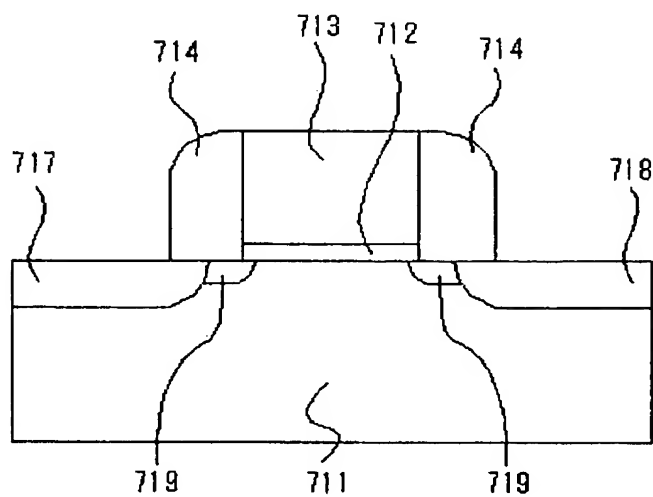
【図 23】



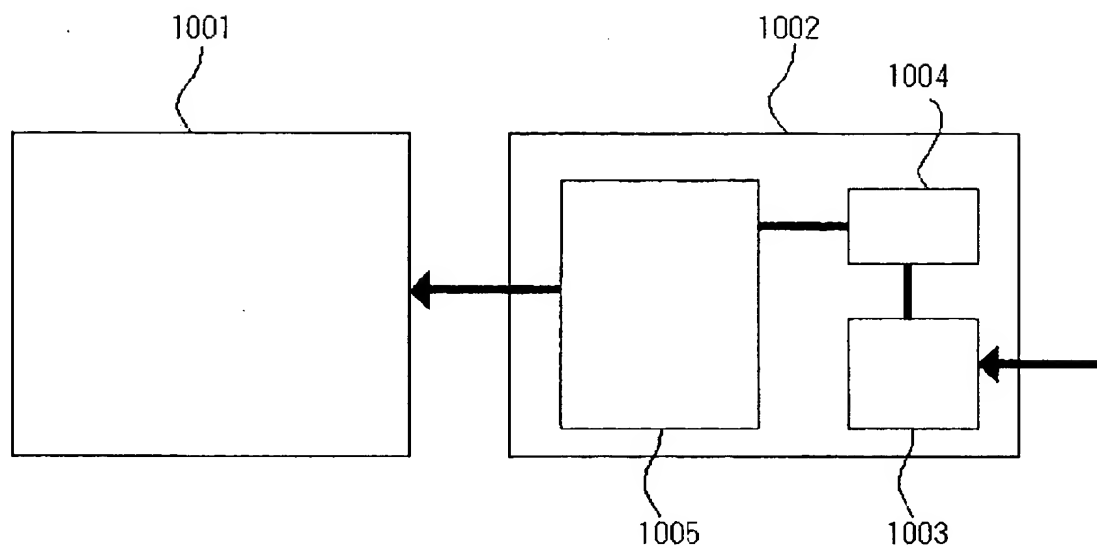
【図 2 4】



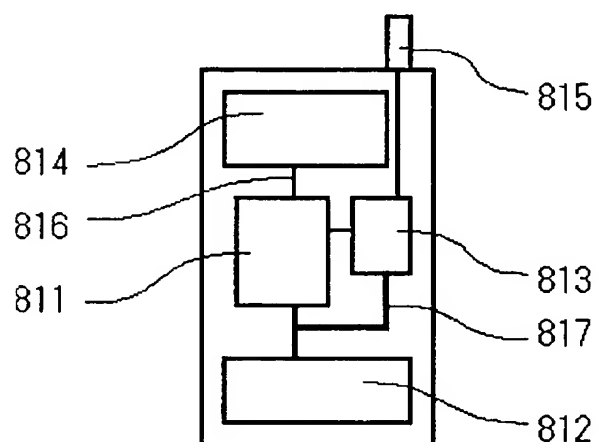
【図 2 5】



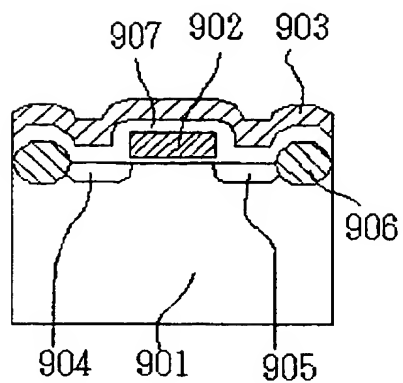
【図 26】



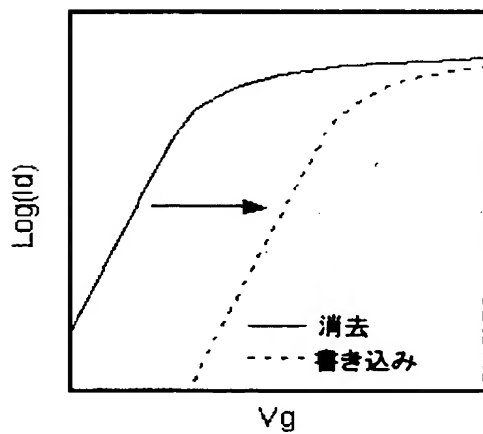
【図 27】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 メモリ機能体が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とを分離し、メモリ機能を損なわず、ゲート絶縁膜を薄膜化して短チャネル効果を抑制し、微細化を図る。

【解決手段】 半導体層 1 0 2 上にゲート絶縁膜 1 0 3 を介して形成されたゲート電極 1 0 4 と、ゲート電極 1 0 4 下に配置されたチャネル領域と、チャネル領域の両側で、チャネル領域と逆導電型の拡散領域 1 0 7 a b と、ゲート電極 1 0 4 の両側で、電荷を保持する機能を有するメモリ機能体 1 0 9 とからなるメモリ素子 1 と、増幅器とを備え、前記メモリ素子の出力が増幅器に入力されるようにメモリ素子と増幅器とが接続されてなる半導体記憶装置。

【選択図】 図 1

特願 2 0 0 3 - 0 3 4 3 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社